

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2005年7月21日 (21.07.2005)

PCT

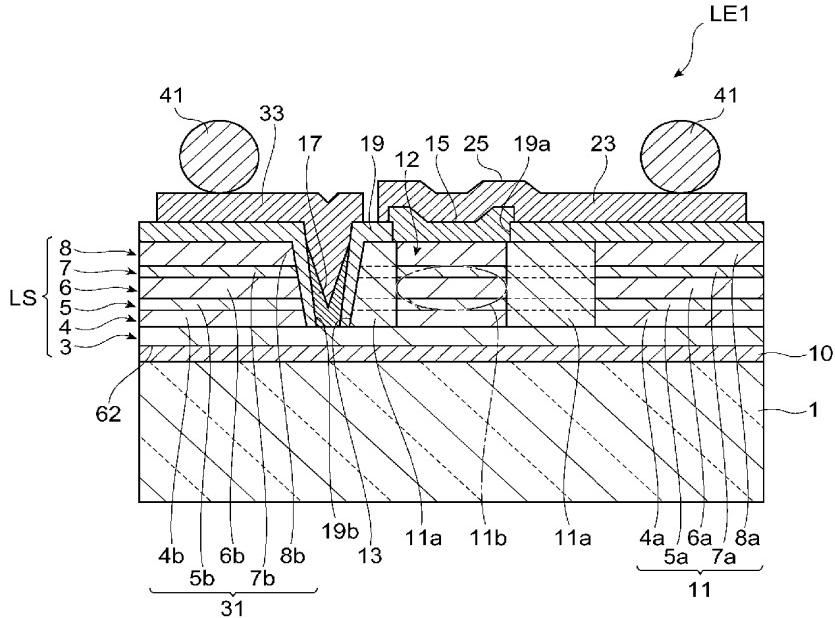
(10)国際公開番号
WO 2005/067113 A1

- (51)国際特許分類⁷: H01S 5/183, 5/42, H01L 33/00
(21)国際出願番号: PCT/JP2004/019566
(22)国際出願日: 2004年12月27日 (27.12.2004)
(25)国際出願の言語: 日本語
(26)国際公開の言語: 日本語
(30)優先権データ:
特願2004-002318 2004年1月7日 (07.01.2004) JP
(71)出願人(米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 Shizuoka (JP).
(72)発明者; および
(75)発明者/出願人(米国についてのみ): 田中 章雅 (TANAKA, Akimasa) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).
(74)代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiaki et al.); 〒1040061 東京都中央区銀座一丁目10番6号銀座ファーストビル 創英國際特許法律事務所 Tokyo (JP).
(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

/続葉有/

(54) Title: SEMICONDUCTOR LIGHT-EMITTING DEVICE AND ITS MANUFACTURING METHOD

(54)発明の名称: 半導体発光素子及びその製造方法



(57) Abstract: A semiconductor light-emitting device comprises a multilayer structural body and a glass substrate. The multilayer structural body includes compound semiconductor layers sequentially formed and generates light. The multilayer structural body has a light-emitting surface from which the generated light is emitted. A glass substrate optically transparent to the light is bonded to the light-emitting surface with a film of silicon oxide.

(57)要約: 半導体発光素子は、多層構造体と、ガラス基板とを備える。多層構造体は、積層された複数の化合物半導体層を含んでおり、光を生成する。多層構造体は、生成される光を発する光出射面を有しており、その光に対して光学的に透明なガラス基板が、酸化シリコンか

/続葉有/

WO 2005/067113 A1



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体発光素子及びその製造方法

技術分野

[0001] 本発明は、半導体発光素子及びその製造方法に関する。

背景技術

[0002] 近年、CPUの駆動周波数の高速化(例えば、10GHz以上)に伴い、システム装置内及び装置間の信号を光で伝送する光インターフェクション技術が着目されている。この光インターフェクション技術には、半導体受光素子及び半導体発光素子といった光半導体素子が用いられる。

[0003] 基板と、基板の一方の主面上に積層された複数の化合物半導体層とを備え、基板の他方の主面から光を出射する、いわゆる裏面出射型の半導体発光素子が特開平2-128481号公報、特開平10-200200号公報、及び特開平11-46038号公報に開示されている。これらの半導体発光素子では、下記の目的で、発光領域の下方に位置する基板中の部分を部分的に薄化するとともに、当該部分を囲むように基板厚みを維持した部分が形成されている。第1の目的は、基板の光吸収による光信号劣化あるいは消失を防ぐことである。第2の目的は、半導体発光素子を外部基板の上にワイヤボンディングあるいはバンプボンディングにより実装する際に、半導体発光素子がダメージを受ける、あるいは破損するのを防ぐことである。

[0004] しかしながら、上述の半導体発光素子では、基板厚みを維持した部分が存在することから、半導体発光素子の小型化には限界がある。特に、複数の発光部を並設して発光素子アレイを形成する場合、発光部間のピッチを狭くすることが困難なため、発光素子アレイのサイズが大きくならざるを得ない。

発明の開示

[0005] 本発明は、十分な機械的強度を有し、小型化の可能な半導体発光素子及びその製造方法を提供することを目的とする。

[0006] 一つの側面において、本発明は、多層構造体を備える半導体発光素子に関する。この多層構造体は、積層された複数の化合物半導体層を含んでおり、光を生成する

。多層構造体は、その光を発する光出射面を有している。その光に対して光学的に透明なガラス基板が、酸化シリコンからなる膜を介して光出射面に固定されている。

- [0007] 多層構造体は、複数の化合物半導体層として、順次に積層された第1導電型の第1分布プラグ反射器(DBR)層、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、及び第2導電型の第2DBR層を含んでいてもよい。多層構造体は、第1DBR層、第1クラッド層、活性層、第2クラッド層、及び第2DBR層を部分的に含む多層領域と、その多層領域を囲み、絶縁化あるいは半絶縁化された電流狭窄領域とを有していてもよい。第1DBR層は、第1クラッド層と酸化シリコンからなる膜との間に配置されていてもよい。
- [0008] 多層構造体は、酸化シリコンからなる膜と第1DBR層との間に位置する第1導電型のコンタクト層を更に含んでいてもよい。
- [0009] 多層構造体は、多層領域を含む発光部と、第1DBR層、第1クラッド層、活性層、第2クラッド層、及び第2DBR層を部分的に含むパッド電極配置部と、を有していてもよい。半導体発光素子は、発光部上に配置され、多層領域に電気的に接続された第1パッド電極と、パッド電極配置部上に配置され、コンタクト層に電気的に接続された第2パッド電極と、を更に備えていてもよい。
- [0010] 第2パッド電極は、発光部とパッド電極配置部との間に形成された開口を通してコンタクト層に電気的に接続されていてもよい。また、半導体発光素子は、第1パッド電極及び第2パッド電極上にそれぞれ配置されたバンプ電極を更に備えていてもよい。
- [0011] 多層構造体は、並設された複数の発光部を有していてもよい。
- [0012] 半導体発光素子は、第2DBR層上に設けられ、多層領域を覆う光反射膜を更に備えていてもよい。
- [0013] ガラス基板は、表面及び裏面を有しており、ガラス基板の表面は、酸化シリコンからなる膜に接触しており、ガラス基板の裏面は、多層構造体から出射する光を受けるレンズ部を有していてもよい。レンズ部は、ガラス基板の最下面より窪んでいてもよい。
- [0014] 別の側面において、本発明は、多層構造体を有する半導体発光素子の製造方法に関する。多層構造体は、積層された複数の化合物半導体層を含んでおり、光を生成する。本発明に係る方法は、表面及び裏面を有する半導体基板と、表面及び裏面

を有し、生成される光に対して光学的に透明なガラス基板とを用意する工程と、半導体基板の表面に多層構造体を形成する工程と、多層構造体上に、酸化シリコンからなる膜を形成する工程と、酸化シリコンからなる膜をガラス基板の表面に融着して、多層構造体をガラス板に固定する工程と、多層構造体がガラス基板に固定されたまま半導体基板を除去する工程とを備えている。

- [0015] 半導体基板を除去する工程は、半導体基板をウェットエッチングにより除去してもよい。
- [0016] 多層構造体を形成する工程の前に、上記ウェットエッチングを停止させるエッチング停止層を、そのエッチング停止層が半導体基板と多層構造体との間に配置されるように形成する工程と、半導体基板を除去する工程の後に、エッチング停止層をウェットエッチングにより除去する工程と、を更に備えていてもよい。
- [0017] 多層構造体は、複数の化合物半導体層として、第1導電型の第1分布プラグ反射器(DBR)層、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、及び第2導電型の第2DBR層を含んでいてもよい。多層構造体を形成する工程は、半導体基板の表面に第2DBR層、第2クラッド層、活性層、第1クラッド層及び第1DBR層を順次に積層することを含んでいてもよい。
- [0018] 多層構造体を形成する工程は、第1DBR層を積層した後、多層構造体の最上部に位置する第1導電型のコンタクト層を形成することを更に含んでいてもよい。
- [0019] 半導体基板を除去する工程の後、第1DBR層、第1クラッド層、活性層、第2クラッド層、及び第2DBR層を部分的に含む多層領域を囲み、絶縁化あるいは半絶縁化された電流狭窄領域を多層構造体中に形成する工程と、多層領域を含む発光部と、第1DBR層、第1クラッド層、活性層、第2クラッド層、及び第2DBR層を部分的に含むパッド電極配置部とを形成する工程と、発光部の上に第1パッド電極を形成し、その第1パッド電極と多層領域とを電気的に接続するとともに、パッド電極配置部の上に第2パッド電極を形成し、その第2パッド電極とコンタクト層とを電気的に接続する工程と、を更に備えていてもよい。
- [0020] 発光部及びパッド電極配置部を形成する工程は、発光部及びパッド電極配置部の間に開口を形成することを含んでいてもよい。第2パッド電極とコンタクト層とを電気的

に接続する工程は、その開口を通して第2パッド電極とコンタクト層とを電気的に接続してもよい。

- [0021] 本発明に係る方法は、第2DBR層上に、多層領域を覆う光反射膜を形成する工程を更に備えていてもよい。
- [0022] ガラス基板の裏面は、多層構造体から出射する光を受けるレンズ部を有していてよい。レンズ部は、ガラス基板の最下面より窪んでいてもよい。
- [0023] 本発明の前記及び他の目的と新規な特徴は、以下の説明を添付図面と併せて読むことにより、より完全に明らかになる。ただし、図面は単なる例示に過ぎず、本発明の技術的範囲を限定するものではない。

図面の簡単な説明

- [0024] [図1]第1実施形態に係る半導体発光素子を示す概略平面図である。
- [図2]図1におけるII-II線に沿った概略断面図である。
- [図3]第1実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図4]第1実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図5]第1実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図6]第1実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図7]第1実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図8]第1実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図9]第1実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図10]第1実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図11]第2実施形態に係る半導体発光素子を示す概略断面図である。
- [図12]第2実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図13]第2実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図14]第2実施形態に係る半導体発光素子の製造工程を示す概略断面図である。
- [図15]本実施形態に係る半導体発光素子アレイを示す概略断面図である。
- [図16]本実施形態に係る半導体発光素子アレイを示す概略断面図である。
- [図17]本実施形態に係る半導体発光素子アレイを示す概略平面図である。
- [図18]本実施形態に係る半導体発光素子アレイを示す概略平面図である。

[図19]本実施形態に係る光インターフェクションシステムの構成を示す概略図である。

発明を実施するための最良の形態

[0025] 本発明の実施形態に係る半導体発光素子について図面を参照して説明する。同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

[0026] 第1実施形態

図1は、第1実施形態に係る半導体発光素子を示す概略平面図である。図2は、図1におけるII-II線に沿った概略断面図である。

[0027] 半導体発光素子LE1は、多層構造体LSと、ガラス基板1とを備えている。この半導体発光素子LE1は、ガラス基板1側から光を発する裏面出射型の垂直共振器型面発光レーザ(VCSEL:Vertical Cavity Surface Emitting Laser)である。半導体発光素子LE1は、例えば波長帯0.85 μmの近距離光通信用発光素子である。

[0028] 多層構造体LSは、順次に積層されたp型(第1導電型)のコンタクト層3、p型の第1分布プラグ反射器(Distributed Bragg Reflector:DBR)層4、p型の第1クラッド層5、活性層6、n型(第2導電型)の第2クラッド層7、及びn型の第2DBR層8を含んでいる。多層構造体LSは電圧が印加されることにより光を生成し、その光を最下面である光出射面62から出射する。光出射面62には、膜10を介してガラス基板1が固定されている。ガラス基板1は、その厚みが0.3mm程度であり、多層構造体LSで生成される光に対して光学的に透明である。膜10は、多層構造体LSの第1DBR層4(コンタクト層3)側に形成される。膜10は、酸化シリコン(SiO₂)からなり、その厚みが0.1 μm程度である。コンタクト層3は、膜10と第1DBR層4との間に位置する。

[0029] 多層構造体LSは、発光部11と、パッド電極配置部31とを有している。発光部11及びパッド電極配置部31は、コンタクト層3の上に、互いに分離されて配置されている。発光部11とパッド電極配置部31との間には、開口13が形成される。開口13の底は、コンタクト層3に達している。

[0030] 発光部11は、p型の第1DBR層4a、p型の第1クラッド層5a、活性層6a、n型の第2クラッド層7a、及びn型の第2DBR層8aを含み、開口13によってパッド電極配置部3

1から隔てられている。発光部11には、絶縁化あるいは半絶縁化された電流狭窄領域11aが形成されている。電流狭窄領域11aは、第1クラッド層5a、活性層6a、第2クラッド層7a、及び第2DBR層8aの各々の一部を含む多層領域12を囲むように配置されている。電流狭窄領域11aは、発光部11における第2DBR層8aから、第1DBR層4aと第1クラッド層5aとの境界付近にまで及んでいる。

- [0031] 発光部11の表面には、絶縁膜19が形成されている。絶縁膜19は、例えばSiN_xからなり、厚みが0.2 μm程度である。
- [0032] 発光部11では、活性層6aを挟む第1DBR層4aと第2DBR層8aとによって垂直共振器が構成される。また、発光部11では、電流狭窄領域11aによって、活性層6aへ供給される電流が狭窄され、発光する領域が制限される。すなわち、発光部11において電流狭窄領域11aの内側に位置する上記の多層領域12、特に第1DBR層4aと第2DBR層8aとで挟まれる第1クラッド層5a、活性層6a及び第2クラッド層7aが発光領域11bとして機能することとなる。
- [0033] 発光部11の表面には、n側電極(カソード)15が配置されている。このn側電極15は、絶縁膜19に形成されたコンタクトホール19aを通して、第2DBR層8aのうち多層領域12中に含まれる部分と電気的に接続されている。n側電極15は、AuGe/Ni/Auの積層体からなり、その厚みは1.0 μm程度である。
- [0034] 発光部11の上方において絶縁膜19の上には、n側パッド電極23(第1パッド電極)が配置されている。n側パッド電極23は、Ti/Pt/Auの積層体からなり、その厚みは2 μm程度である。n側パッド電極23上には、図2に示されるように、バンプ電極41が設けられている。
- [0035] n側電極15とn側パッド電極23とは、配線電極25により電気的に接続されている。これにより、第2DBR層8aにおいて電流狭窄領域11aの内側に位置する部分は、n側電極15及び配線電極25を介してn側パッド電極23及びバンプ電極41に電気的に接続される。すなわち、カソード側の電極の取り出しありは、n側電極15、n側パッド電極23、配線電極25及びバンプ電極41により実現される。
- [0036] 配線電極25は、発光部11の上方においてn側電極15及び絶縁膜19の上に配置されている。配線電極25は、Ti/Pt/Auの積層体からなり、その厚みは2 μm程度

である。配線電極25は、その一部が多層領域12及び発光領域11bの上方に位置するように形成されており、その部分は光反射膜として機能する。なお、配線電極25とは別に光反射膜を設けててもよい。

- [0037] パッド電極配置部31は、p型の第1DBR層4b、p型の第1クラッド層5b、活性層6b、n型の第2クラッド層7b、及びn型の第2DBR層8bを含んでおり、開口13によって発光部11から隔てられている。図1に示されるように、パッド電極配置部31は、光出射方向から見て、発光部11を囲むように形成されている。パッド電極配置部31の表面にも、発光部11と同じく、絶縁膜19が形成されている。
- [0038] 開口13には、p側電極17が配置されている。このp側電極17は、絶縁膜19に形成されたコンタクトホール19bを通して、コンタクト層3と電気的に接続されている。p側電極17はCr/Auの積層体からなり、その厚みは1.0 μm程度である。
- [0039] パッド電極配置部31の上方において絶縁膜19の上には、p側パッド電極33(第2パッド電極)が配置されている。p側パッド電極33は、Ti/Pt/Auの積層体からなり、その厚みは2 μm程度である。p側パッド電極33は、p側電極17と接続されるように形成される。p側パッド電極33にも、n側パッド電極23と同じく、バンプ電極41が設けられる。n側パッド電極23及びp側パッド電極33のガラス基板1からの高さは、ほぼ同じである。
- [0040] p側電極17とp側パッド電極33とは電気的に接続されている。これにより、第1DBR層4aは、コンタクト層3及びp側電極17を通してp側パッド電極33及びバンプ電極41に電気的に接続される。すなわち、アノード側の電極の取り出しは、コンタクト層3、p側電極17、p側パッド電極33及びバンプ電極41により実現される。
- [0041] コンタクト層3は、化合物半導体層であって、例えばキャリア濃度が $1 \times 10^{19} / \text{cm}^3$ 程度のGaAsからなる。コンタクト層3の厚みは0.2 μm程度である。なお、コンタクト層3は、バッファ層としても機能する。
- [0042] 第1DBR層4(4a, 4b)は、組成が異なる複数の化合物半導体層を交互に積層した構造を有するミラー層である。第1実施形態において、第1DBR層4(4a, 4b)は、ノンドープのAlAs層上に、キャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 程度のAlGaAs(Al組成0.9)層とキャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 程度のAlGaAs(Al組成0.2)層とが交互に20

層ずつ積層されることにより構成されている。AlAs層の厚みは0. 1 μ m程度である。各AlGaAs(Al組成0. 9)層の厚みは0. 04 μ m程度であり、各AlGaAs(Al組成0. 2)層の厚みは0. 02 μ m程度である。

- [0043] 第1クラッド層5(5a, 5b)は、化合物半導体層であって、例えばキャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 程度のAlGaAsからなる。第1クラッド層5(5a, 5b)の厚みは0. 1 μ m程度である。
- [0044] 活性層6(6a, 6b)は、異なる化合物半導体層が交互に積層された構造を有する多重量子井戸(MQW:Multiple Quantum Well)活性層である。本実施形態において、活性層6(6a, 6b)は、AlGaAs層とGaAs層とが交互に3層ずつ積層されることにより構成されている。各AlGaAs層の厚みは0. 1 μ m程度であり、各GaAs層の厚みは0. 05 μ m程度である。
- [0045] 第2クラッド層7(7a, 7b)は、化合物半導体層であって、例えばキャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 程度のAlGaAsからなる。第2クラッド層7(7a, 7b)の厚みは0. 1 μ m程度である。
- [0046] 第2DBR層8(8a, 8b)は、第1DBR層4(4a, 4b)と同じく、組成が異なる複数の化合物半導体層を交互に積層した構造を有するミラー層である。本実施形態において、第2DBR層8(8a, 8b)は、キャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 程度のAlGaAs(Al組成0. 9)層とキャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 程度のAlGaAs(Al組成0. 2)層とが交互に30層ずつ積層され、その上にノンドープのGaAs層が積層されることにより構成されている。各AlGaAs(Al組成0. 9)層の厚みは0. 04 μ m程度であり、各AlGaAs(Al組成0. 2)層の厚みは0. 02 μ m程度である。GaAs層はバッファ層として機能し、その厚みは0. 1 μ m程度である。
- [0047] 二つのバンプ電極41を介してn側パッド電極23及びp側パッド電極33間に十分な電圧が印加され、素子LE1中に電流が流れると、発光領域11bで光が生成されることとなる。
- [0048] 以下では、半導体発光素子LE1の製造方法について、図3～図10を参照して説明する。図3～図10は、第1実施形態に係る半導体発光素子の製造方法を説明するための図であり、半導体発光素子の縦断面を示している。本製造方法では、以下の

工程(1)～(9)を順次に実行する。

[0049] 工程(1)

まず、半導体基板51を用意する。半導体基板51は、例えば、その厚みが300～500 μmであり、キャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 程度のn型GaAsからなる。半導体基板51の一方の正面(表面)74上に、有機金属化学気相蒸着(MOCVD)法又は分子線成長(MBE)法等により、エッティング停止層53、n型の第2DBR層8、n型の第2クラッド層7、活性層6、p型の第1クラッド層5、p型の第1DBR層4、及びp型のコンタクト層3を順次に成長させて、積層する(図3参照)。

[0050] エッティング停止層53は、ノンドープのAlGaAs(Al組成0.5)からなり、その厚みは1.0 μm程度である。エッティング停止層53は、半導体基板51と第2DBR層8との間に位置するように形成されることとなる。エッティング停止層53のAl組成比は0.4以上とするのが好ましい。これは、この $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ は、後述するGaAsをエッティングする際に使用されるエッティング液によってエッティングされにくいためである。

[0051] 工程(2)

次に、プラズマ化学気相蒸着(Plasma Chemical Vapor Deposition:PCVD)法により、コンタクト層3の上に膜10を形成する(図3参照)。

[0052] 以上の工程(1)及び(2)により、多層構造体LS、エッティング停止層53及び膜10が半導体基板51の表面74上に形成されることとなる。

[0053] 工程(3)

次に、多層構造体LS、エッティング停止層53及び膜10が形成された半導体基板51とガラス基板1とを接着する(図4参照)。まず、ガラス基板1を用意し、当該ガラス基板1の一方の正面(表面)71を清浄化する。次に、ガラス基板1の清浄化された表面71と半導体基板51上の最上膜10とが接触するように、ガラス基板1と半導体基板51とを重ね合わせる。重ね合わせたガラス基板1と半導体基板51を加圧及び加熱し、両基板1及び51を互いに融着させて貼り合わせる。

[0054] 具体的には、重ね合わせたガラス基板1と半導体基板51に加える圧力は約98kPaであり、加熱温度は500～700°Cが好ましい。半導体基板51上の最上膜10は酸化シリコンより成るので、このような条件で加圧及び加熱を行うことにより、最上膜10が

ガラス基板1の表面71に融着し、多層構造体LSがガラス基板1に接着される。

[0055] なお、この貼り合わせ工程を実施するに際しては、ガラス基板1の表面71ばかりではなく、半導体基板51上の最上膜10も清浄であることが望ましい。そのためには、例えば、最上膜10を形成したPCVD装置から半導体基板51を取り出した直後に融着作業を行うなどの工夫をするとよい。

[0056] また、使用するガラス基板は、GaAsの熱膨張係数に近い熱膨張係数を有することが好ましい。これにより、加熱後の冷却工程において、熱膨張係数の差により半導体基板51とガラス基板1との間に生じる応力を極力、低減でき、応力に起因する接着強度の低下及び結晶欠陥の発生を最小限に抑えることができる。

[0057] 工程(4)

次に、半導体基板51を除去する。ガラス基板1と半導体基板51とが貼り合わされた後には、ガラス基板1の反対側において、半導体基板51の他方の正面(裏面)73が露出している。この工程では、半導体基板51の裏面73側からエッティングを行い、半導体基板51及びエッティング停止層53を除去する(図5参照)。

[0058] 具体的には、まず、エッティング停止層53に対しエッティング速度の遅いエッティング液を用いて、半導体基板51を除去する。次に、第2DBR層8中のGaAs層に対してエッティング速度の遅いエッティング液を用いて、エッティング停止層53を除去する。これにより、多層構造体LSを表面71上に搭載したガラス基板1が得られる。

[0059] 使用するエッティング液としては、アンモニア水(NH_4OH)と過酸化水素水(H_2O_2)との混合溶液(NH_4OH 水: H_2O_2 水=1:5)、及び塩酸(HCl)が好ましい。まず、貼り合わされたガラス基板1と半導体基板51とを NH_4OH 水と H_2O_2 水との混合溶液に浸す。これにより、半導体基板51は裏面側よりエッティングされていく。エッティングが進み、半導体基板51が除去されてしまうと、エッティング液中でエッティング停止層53が露出する。エッティング停止層53($\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$)は、このエッティング液に対する耐性が高いので、エッティング速度が非常に遅くなる。したがって、エッティング停止層53が露出したときにエッティングは自動的に停止する。このようにして、まず、半導体基板51が除去される。

[0060] 続いて、エッティング停止層53及び多層構造体LS等が残ったガラス基板1を NH_4O

H₂O₂水とHCl水との混合溶液から取り出し、水洗、乾燥した後に、塩酸(HCl)液に浸す。エッティング速度を速くするためにHCl液を予め50°C程度に加熱しておくことが好ましい。GaAsはHClではほとんどエッティングされないので、今度はエッティング停止層53のみがエッティングされ、第2DBR層8のGaAs層が露出したときにエッティングが自動的に停止する。このようにして、エッティング停止層53が除去される。なお、エッティングの代わりに、化学機械研磨(CMP)によって半導体基板51及びエッティング停止層53を除去してもよい。

[0061] 工程(5)

次に、第2DBR層8上にレジスト膜55を形成する。レジスト膜55は、電流狭窄領域11aに対応する位置に開口56を有するようにパターニングされる。その後、パターニングされたレジスト膜55をマスクとして使用し、イオン注入装置によってプロトン(H⁺)を多層構造体LSに打ち込む。プロトンは、第1DBR層4と第1クラッド層5との境界付近まで打ち込まれる。プロトンが打ち込まれた領域は半絶縁化し、その結果、電流狭窄領域11aが形成されることとなる(図6参照)。なお、プロトンの代わりに、酸素イオン(O²⁻)や鉄イオン(Fe³⁺)を用いてもよい。この後、レジスト膜55を除去する。

[0062] 工程(6)

次に、第2DBR層8上にレジスト膜57を形成する。レジスト膜57は、開口13を形成すべき位置に開口58を有するようにパターニングされる。その後、パターニングされたレジスト膜57をマスクとして使用し、コンタクト層3が露出するまで多層構造体LSをエッティング(本実施形態ではウェットエッティング)する。これにより、開口13が形成され、発光部11及びパッド電極配置部31が互いに電気的に分離される(図7参照)。すなわち、発光部11が、第1DBR層4a、第1クラッド層5a、活性層6a、第2クラッド層7a、及び第2DBR層8aを含み、パッド電極配置部31が、第1DBR層4b、第1クラッド層5b、活性層6b、第2クラッド層7b、及び第2DBR層8bを含むこととなる。使用するエッティング液としては、過酸化水素水及び塩酸(HCl)が好ましい。この後、レジスト膜57を除去する。

[0063] 工程(7)

次に、PCVD法により、第2DBR層8の表面にSiN_xからなる絶縁膜19を形成する。

次いで、p側電極17に対応する位置に開口を有するレジスト膜(図示せず)を絶縁膜19上に形成する。このレジスト膜をマスクとして使用し、バッファドフッ酸(BHF)を用いて絶縁膜19の一部を除去することにより、コンタクトホール19bを形成する(図8参照)。続いて、レジスト膜を除去する。

[0064] 次に、開口13に対応する位置に開口を有するレジスト膜(図示せず)を絶縁膜19上に再度形成する。そして、開口13の形成によって露出したコンタクト層3上に、このレジスト膜をマスクとして使用する蒸着とリフトオフ法とによって、Cr/Auからなるp側電極17を形成する(図8参照)。続いて、レジスト膜を除去する。

[0065] 工程(8)

次に、n側電極15に対応する位置に開口を有するレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして使用して絶縁膜19をBHFにより除去し、絶縁膜19にコンタクトホール19aを形成する(図9参照)。続いて、上記レジスト膜を除去する。

[0066] 次に、n側電極15を形成すべき位置に開口を有するようにレジスト膜を再度形成し直し、そのレジスト膜をマスクとして使用して、蒸着とリフトオフ法とにより、AuGe/Ni/Auからなるn側電極15を第2DBR層8a上に形成する(図9参照)。続いて、レジスト膜を除去する。

[0067] 工程(9)

次に、n側パッド電極23、配線電極25及びp側パッド電極33に対応する位置に開口を有するレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして使用し、リフトオフ法により、Ti/Pt/Auからなるn側パッド電極23、配線電極25及びp側パッド電極33を形成する(図10参照)。このとき、配線電極25は発光領域11bを覆うように形成される。n側パッド電極23と配線電極25とは一体に形成されることとなる。続いて、レジスト膜を除去する。その後、H₂雰囲気下でシンタリングを行う。なお、n側パッド電極23と配線電極25とを一体に形成しているが、これに限られることなく、それぞれ別体に形成するようにしてもよい。

[0068] これらの工程(1)～(9)により、図1及び図2に示された構造の半導体発光素子LE1が完成する。

- [0069] なお、バンプ電極41は、メッキ法、半田ボール搭載法や印刷法でn側パッド電極23及びp側パッド電極33に半田を形成し、リフローすることによって得ることができる。また、バンプ電極41は半田に限られるものではなく、金バンプ、ニッケルバンプ、銅バンプでもよく、導電性フライー等の金属を含む導電性樹脂バンプでもよい。
- [0070] 以上のように、本実施形態では、コンタクト層3、第1DBR層4、第1クラッド層5、活性層6、第2クラッド層7、及び第2DBR層8を薄膜化した場合でも、多層構造体LS(積層されたコンタクト層3、第1DBR層4、第1クラッド層5、活性層6、第2クラッド層7、及び第2DBR層8)の機械的強度がガラス基板1によって保たれる。また、従来の半導体発光素子のように、基板厚みを維持した部分を形成する必要はなく、したがって、半導体発光素子LE1の小型化が容易である。
- [0071] 本実施形態では、多層構造体LSが膜10を介してガラス基板1に固定されるので、他に接着剤を用いることなく多層構造体LSにガラス基板1を接着することができる。膜10を構成する酸化シリコンは、ガラス基板1と同様に、多層構造体LSで生成される光に対して光学的に透明である。そのため、多層構造体LSから出射した光は、接着剤によって吸収されることなくガラス基板1に到達することができる。
- [0072] 多層構造体LSは、発光部11とパッド電極配置部31とを含んでおり、電流狭窄領域11aの内側に位置する多層領域12に電気的に接続されたn側パッド電極23が発光部11上に配置され、コンタクト層3に電気的に接続されたp側パッド電極33がパッド電極配置部31上に配置されている。これにより、n側パッド電極23及びp側パッド電極33が光出射面の反対側に配置されることとなり、半導体発光素子LE1の実装が容易になる。
- [0073] p側パッド電極33は、発光部11とパッド電極配置部31との間に形成された開口13を通してコンタクト層3に電気的に接続されている。これにより、第1クラッド層5側での電極の取り出しを簡易かつ確実に行うことができる。
- [0074] 配線電極25(光反射膜)は発光領域11bを覆うように形成されているので、配線電極25にて反射された光もガラス基板1から出射することとなる。これにより、発光出力を向上することができる。
- [0075] また、本実施形態に係る製造方法では、多層構造体LSの表面上に形成された酸

化シリコンからなる膜10がガラス基板1の主面の一方と接触するように、多層構造体LSを搭載する半導体基板51にガラス基板1を接着し、その後、半導体基板51を除去する。これにより、多層構造体LSに膜10を介してガラス基板1が固定された半導体発光素子LE1を容易に製造することができる。

- [0076] 半導体基板51が除去された後もガラス基板1は残るので、その後の製造工程においても、多層構造体LSの機械的強度がガラス基板1によって保たれる。なお、ガラス基板1を接着する前は、半導体基板51によって多層構造体LSの機械的強度が保たれる。
- [0077] 本実施形態に係る製造方法は、多層構造体LS(積層されたコントラクト層3、第1DBR層4、第1クラッド層5、活性層6、第2クラッド層7、及び第2DBR層8)を形成する前に、エッチング停止層53を半導体基板51と多層構造体LSとの間に位置するように形成する工程と、半導体基板51を除去した後に、エッティング停止層53をウェットエッティングにより除去する工程とを備えている。したがって、半導体基板51をエッティング可能であり、エッティング停止層53をエッティング可能でないエッティング液と、エッティング停止層53をエッティング可能であり、多層構造体LSをエッティング可能でないエッティング液とを適宜選択して用いることで、半導体基板51を除去し、その後に、エッティング停止層53だけを除去できる。そのため、多層構造体LSを残して半導体基板51を確実かつ容易に除去できる。
- [0078] 第2実施形態
- 図11は、第2実施形態に係る半導体発光素子の構成を示す概略断面図である。第2実施形態に係る半導体発光素子LE2は、ガラス基板1にレンズ部72aが形成されている点で第1実施形態に係る半導体発光素子LE1と相違する。
- [0079] 半導体発光素子LE2は、多層構造体LSと、ガラス基板1とを備えている。この半導体発光素子LE1は、光がガラス基板1側から出射する裏面出射型のVCSELである。半導体発光素子LE1は、例えば波長帯0.85 μmの近距離光信用発光素子である。
- [0080] ガラス基板1の裏面72には、多層構造体LSから出射した光を受けるレンズ部72aが形成されている。裏面72中の他の部分72bは、レンズ部72aよりも高い。すなわち

、このレンズ部72aは、裏面72中の最も高い部分72bよりも窪んでいる。

[0081] 次に、図12～図14を参照しながら半導体発光素子LE2の製造方法を説明する。

図12～図14は、この製造方法を説明するための図であり、半導体発光素子の断面を示している。

[0082] 本製造方法では、以下の工程(1)～(9)を順次に実行する。工程(1)及び(2)は第1実施形態における工程(1)及び(2)と同じであり、説明を省略する。

[0083] 工程(3)

次に、多層構造体LS、エッチング停止層53及び膜10が形成された半導体基板51にガラス基板1を接着する(図12参照)。接着方法は、第1実施形態における工程(3)と同様である。具体的には、裏面72にレンズ部72aが形成されたガラス基板1を用意し、ガラス基板1の表面71を清浄化する。次に、ガラス基板1の清浄化された表面71と半導体基板51上の最上膜10とが接触するように、ガラス基板1と半導体基板51とを重ね合わせる。重ね合わせたガラス基板1と半導体基板51を加圧及び加熱し、両基板1及び51を互いに融着させて貼り合わせる。具体的な接着方法は、第1実施形態における工程(3)と同じである。

[0084] 工程(4)

次に、半導体基板51及びエッチング停止層53を除去する(図13参照)。除去方法は、第1実施形態における工程(4)と同じである。

[0085] 工程(5)

次に、第2DBR層8上にレジスト膜55を形成し、レジスト膜55をパターニングして、電流狭窄領域11aを形成すべき位置に開口56を設ける(図14参照)。このとき、ガラス基板1の表面71にマーカを付与し、両面露光機を用いることで、付与したマーカを基準としてレンズ部72aと電流狭窄領域11aを形成すべき位置とを容易に位置合わせすることができる。なお、マーカを付与する代わりに、レンズ部72aの外形をマーカとして利用してもよい。

[0086] その後、パターニングされたレジスト膜55をマスクとして使用し、イオン注入装置によってプロトン(H^+)を多層構造体LSに打ち込む。プロトンは、第1DBR層4と第1クラッド層5との境界付近まで打ち込まれ、プロトンが打ち込まれた領域を半絶縁化す

る。これにより、電流狭窄領域11aが形成されることとなる(図14参照)。この後、レジスト膜55を除去する。

- [0087] 工程(6)ー(9)は、第1実施形態における工程(6)ー(9)と同じであり、ここでの説明を省略する。これらの工程(1)ー(9)により、図11に示された構造の半導体発光素子LE2が完成する。
- [0088] 以上のように、本実施形態では、第1実施形態と同じく、多層構造体LS(積層されたコンタクト層3、第1DBR層4、第1クラッド層5、活性層6、第2クラッド層7、及び第2DBR層8)の機械的強度がガラス基板1によって保たれると共に、半導体発光素子LE2を容易に小型化することができる。
- [0089] さらに、本実施形態では、ガラス基板1にレンズ部72aが設けられている。これにより、出射光の指向性を改善したり、平行光を形成したりすることができる。
- [0090] レンズ部72aは、ガラス基板1の裏面72中の最も高い部分72bより窪んで形成されている。このため、レンズ部72aが形成されたガラス基板1を多層構造体LSに容易に接着することができる。また、接着前にレンズ部72aを加工できるので、加工方法に制限を受けることが少なく、レンズ形状等、レンズ設計の自由度が高い。
- [0091] なお、レンズ部72aは、多層構造体LS、エッチング停止層53及び膜10を搭載する半導体基板51にガラス基板1を接着した後に形成してもよい。しかしながら、レンズ設計の自由度を考慮すると、レンズ部72aが予め形成されたガラス基板1を半導体基板51に接着することが好ましい。
- [0092] 次に、図15ー図18を参照しながら、本実施形態の変形例を説明する。これらの変形例は、発光部11が複数並設された半導体発光素子アレイLE3ーLE6である。これらの発光素子アレイLE3ーLE6は、いわゆる裏面出射型である。
- [0093] 発光素子アレイLE3ーLE6では、図15ー図18にそれぞれ示されるように、複数の発光部11が1次元もしくは2次元的に配列されている。発光素子アレイLE3及びLE4では、ある発光領域11bに対応する発光部11と、隣接する別の発光領域11bに対応するパッド電極配置部31とが一体化され、一つのメサ構造を成している。なお、半導体発光素子アレイLE3ーLE6において、p側パッド電極33同士は互いに電気的に接続されている。

- [0094] 発光素子アレイLE3～LE6では、上述した第1及び第2実施形態と同じく、多層構造体LS(積層されたコンタクト層3、第1DBR層4、第1クラッド層5、活性層6、第2クラッド層7、及び第2DBR層8)の機械的強度がガラス基板1により保たれる。また、発光部11間のピッチを狭くすることができるので、発光素子アレイLE3～LE6の小型化が容易である。
- [0095] 次に、図19を参照して、上述した半導体発光素子(または半導体発光素子アレイ)を用いた光インターフェクションシステムについて説明する。図19は、光インターフェクションシステムの構成を示す概略図である。
- [0096] 光インターフェクションシステム101は、複数のモジュール(例えば、CPU、集積回路チップ、メモリー)M1及びM2間で光信号を伝送するシステムであり、半導体発光素子LE1、駆動回路103、光導波路基板105、半導体受光素子107、增幅回路109等を含んでいる。半導体受光素子107には、裏面入射型の受光素子を用いることができる。モジュールM1は、バンプ電極を介して駆動回路103に電気的に接続されている。駆動回路103は、バンプ電極41を介して半導体発光素子LE1に電気的に接続されている。半導体受光素子107は、バンプ電極を介して増幅回路109に電気的に接続されている。増幅回路109は、バンプ電極を介してモジュールM2に電気的に接続されている。
- [0097] モジュールM1から出力された電気信号は、駆動回路103に送られ、半導体発光素子LE1によって光信号に変換される。半導体発光素子LE1からの光信号は、光導波路基板105上の光導波路105aを通り、半導体受光素子107に入射する。光信号は、半導体受光素子107によって電気信号に変換され、増幅回路109に送られて増幅される。増幅された電気信号は、モジュールM2に送られる。このようにして、モジュールM1から出力された電気信号が、モジュールM2に伝送されることとなる。
- [0098] なお、半導体発光素子LE1の代わりに、半導体発光素子LE2あるいは半導体発光素子アレイLE3～LE6を用いてもよい。半導体発光素子アレイLE3～LE6を用いる場合、駆動回路103、光導波路基板105、半導体受光素子107及び増幅回路109もアレイを成すように配列されることとなる。
- [0099] 本発明は、前述した実施形態に限定されるものではなく、その要旨を逸脱しない範

囲で様々な変形が可能である。例えば、コンタクト層3、第1DBR層4(4a, 4b)、第1クラッド層5(5a, 5b)、活性層6(6a, 6b)、第2クラッド層7(7a, 7b)、及び第2DBR層8(8a, 8b)等の厚み、材料等は、上述したものに限られない。また、多層構造体LSの構成も、上述した実施形態に限られるものではなく、積層された複数の化合物半導体層を含むものであればよい。

[0100] また、本実施形態では、p側パッド電極33を発光部11とパッド電極配置部31との間に形成された開口13を通してコンタクト層3に電気的に接続するが、この代わりに、開口13とは別に開口を形成し、その別の開口を通してp側パッド電極33とコンタクト層3とを電気的に接続してもよい。

[0101] 上述の発明から明らかなように、本発明の実施形態は様々な方法で変形を加えることができる。このような変形は、本発明の範囲を逸脱するものとみなされるべきではなく、当業者にとっては明らかなように、このような全ての変形は、下記のクレームの範囲内に含まれるものと意図されている。

産業上の利用可能性

[0102] 本発明は、十分な機械的強度を有し、小型化の可能な半導体発光素子及びその製造方法を提供することができる。

請求の範囲

[1] 積層された複数の化合物半導体層を含み、光を生成する多層構造体を備える半導体発光素子であって、

前記多層構造体は、生成される前記光を発する光出射面を有しており、前記光に対して光学的に透明なガラス基板が、酸化シリコンからなる膜を介して前記光出射面に固定されている、半導体発光素子。

[2] 前記多層構造体は、前記複数の化合物半導体層として、順次に積層された第1導電型の第1分布プラグ反射器(DBR)層、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、及び第2導電型の第2DBR層を含み、

前記多層構造体は、前記第1DBR層、前記第1クラッド層、前記活性層、前記第2クラッド層、及び前記第2DBR層を部分的に含む多層領域と、前記多層領域を囲み、絶縁化あるいは半絶縁化された電流狭窄領域とを有しており、

前記第1DBR層は、前記第1クラッド層と前記酸化シリコンからなる膜との間に配置されている、請求項1に記載の半導体発光素子。

[3] 前記多層構造体は、前記酸化シリコンからなる膜と前記第1DBR層との間に位置する第1導電型のコンタクト層を更に含んでいる、請求項2に記載の半導体発光素子。

[4] 前記多層構造体は、

前記多層領域を含む発光部と、

前記第1DBR層、前記第1クラッド層、前記活性層、前記第2クラッド層、及び前記第2DBR層を部分的に含むパッド電極配置部と、
を有しており、

前記発光部上に配置され、前記多層領域に電気的に接続された第1パッド電極と、
前記パッド電極配置部上に配置され、前記コンタクト層に電気的に接続された第2
パッド電極と、

を更に備える請求項3に記載の半導体発光素子。

[5] 前記第2パッド電極は、前記発光部と前記パッド電極配置部との間に形成された開口を通して前記コンタクト層に電気的に接続されている、請求項4に記載の半導体発

光素子。

- [6] 前記第1パッド電極及び前記第2パッド電極上にそれぞれ配置されたバンプ電極を更に備える請求項4に記載の半導体発光素子。
- [7] 前記多層構造体は、並設された複数の前記発光部を有している、請求項4に記載の半導体発光素子。
- [8] 前記第2DBR層上に設けられ、前記多層領域を覆う光反射膜を更に備える請求項2～7のいずれかに記載の半導体発光素子。
- [9] 前記ガラス基板は、表面及び裏面を有しており、
前記ガラス基板の表面は、前記酸化シリコンからなる膜に接触しており、
前記ガラス基板の裏面は、前記多層構造体から出射する光を受けるレンズ部を有している、請求項1～8のいずれかに記載の半導体発光素子。
- [10] 前記レンズ部は、前記ガラス基板の裏面中の最も高い部分より窪んでいる、請求項9に記載の半導体発光素子。
- [11] 積層された複数の化合物半導体層を含み、光を生成する多層構造体を有する半導体発光素子の製造方法であって、
表面及び裏面を有する半導体基板と、表面及び裏面を有し、生成される前記光に対して光学的に透明なガラス基板とを用意する工程と、
前記半導体基板の表面に前記多層構造体を形成する工程と、
前記多層構造体上に、酸化シリコンからなる膜を形成する工程と、
前記酸化シリコンからなる膜を前記ガラス基板の表面に融着して、前記多層構造体を前記ガラス板に固定する工程と、
前記多層構造体が前記ガラス基板に固定されたまま前記半導体基板を除去する工程と、
を備える半導体発光素子の製造方法。
- [12] 前記半導体基板を除去する前記工程は、前記半導体基板をウェットエッチングにより除去する、請求項11に記載の半導体発光素子の製造方法。
- [13] 前記多層構造体を形成する前記工程の前に、上記ウェットエッチングを停止させるエッチング停止層を、そのエッチング停止層が前記半導体基板と前記多層構造体と

の間に配置されるように形成する工程と、

前記半導体基板を除去する前記工程の後に、前記エッチング停止層をウェットエッチングにより除去する工程と、

を更に備える請求項12に記載の半導体発光素子の製造方法。

- [14] 前記多層構造体は、前記複数の化合物半導体層として、第1導電型の第1分布ブラッグ反射器(DBR)層、第1導電型の第1クラッド層、活性層、第2導電型の第2クラッド層、及び第2導電型の第2DBR層を含んでおり、

前記多層構造体を形成する前記工程は、前記半導体基板の表面に前記第2DBR層、前記第2クラッド層、前記活性層、前記第1クラッド層及び前記第1DBR層を順次に積層することを含んでいる、請求項11～13のいずれかに記載の半導体発光素子の製造方法。

- [15] 前記多層構造体を形成する前記工程は、前記第1DBR層を積層した後、前記多層構造体の最上部に位置する第1導電型のコンタクト層を形成することを更に含んでいる、請求項14に記載の半導体発光素子の製造方法。

- [16] 前記半導体基板を除去する前記工程の後に、前記第1DBR層、前記第1クラッド層、前記活性層、前記第2クラッド層、及び前記第2DBR層を部分的に含む多層領域を囲み、絶縁化あるいは半絶縁化された電流狭窄領域を前記多層構造体中に形成する工程と、

前記多層領域を含む発光部と、前記第1DBR層、前記第1クラッド層、前記活性層、前記第2クラッド層、及び前記第2DBR層を部分的に含むパッド電極配置部とを形成する工程と、

前記発光部の上に第1パッド電極を形成しその第1パッド電極と前記多層領域とを電気的に接続するとともに、前記パッド電極配置部の上に第2パッド電極を形成し、その第2パッド電極と前記コンタクト層とを電気的に接続する工程と、

を更に備える請求項15に記載の半導体発光素子の製造方法。

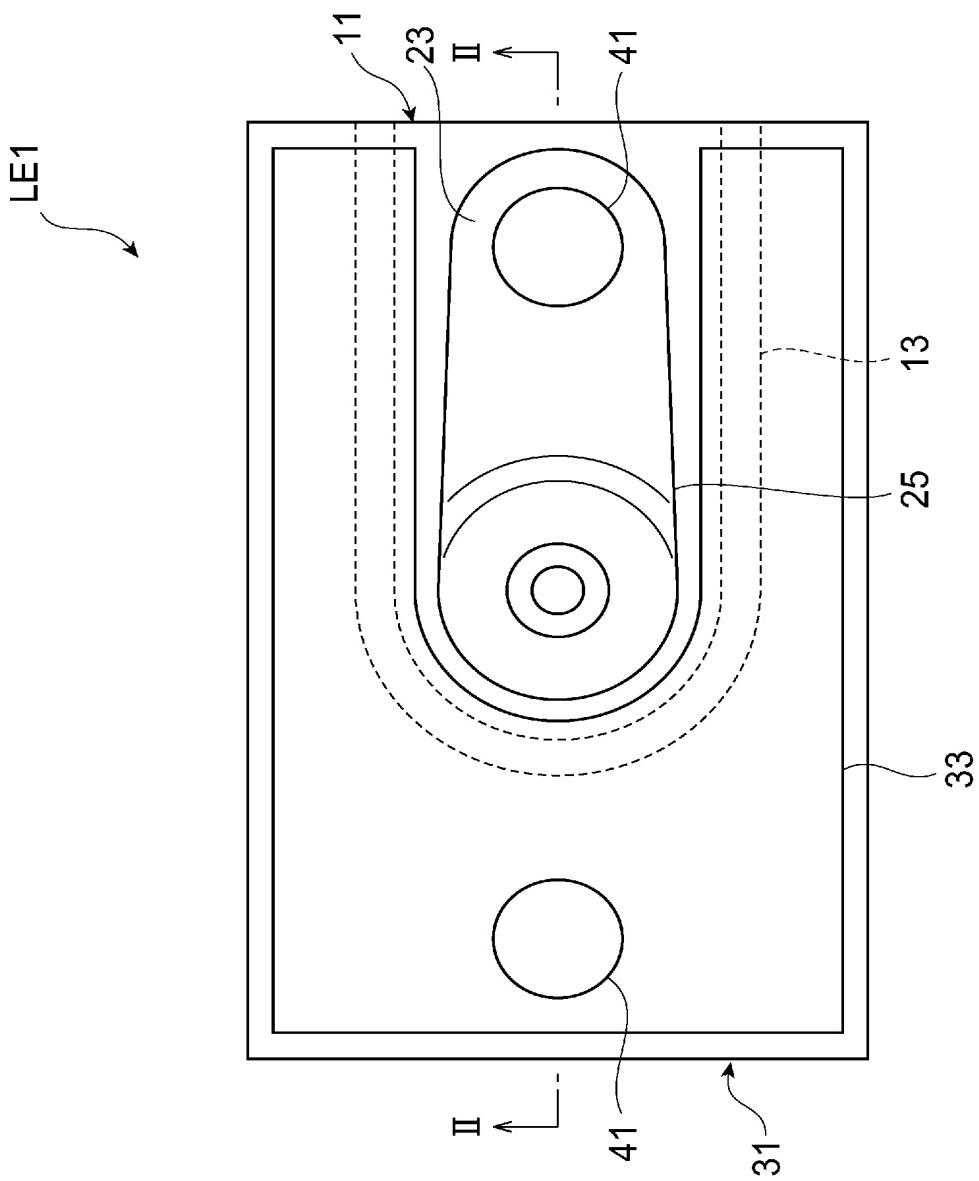
- [17] 前記発光部及び前記パッド電極配置部を形成する前記工程は、前記発光部及び前記パッド電極配置部の間に開口を形成することを含んでおり、

前記第2パッド電極と前記コンタクト層とを電気的に接続する前記工程は、前記開

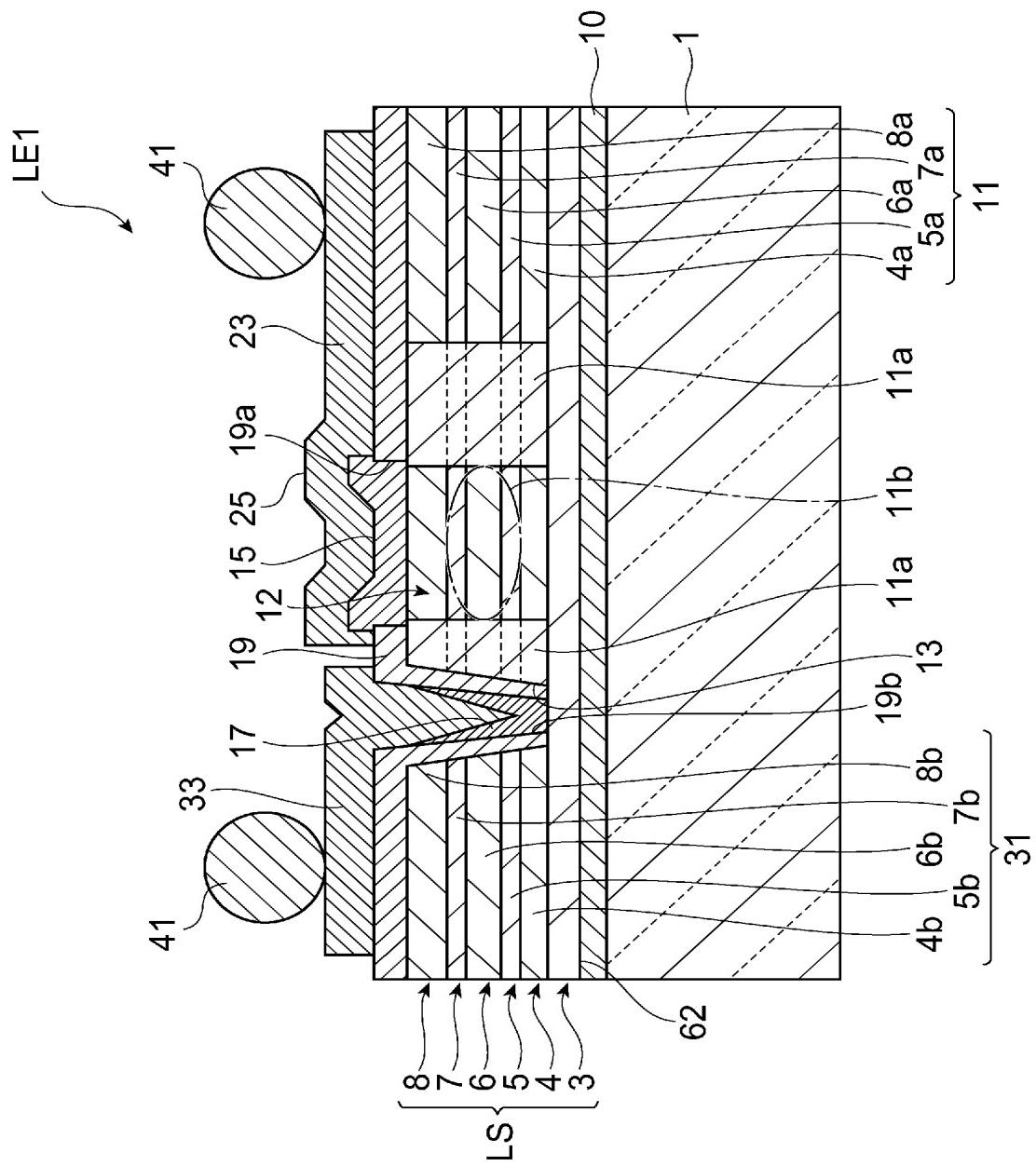
口を通して前記第2パッド電極と前記コンタクト層とを電気的に接続することを含んで
いる、請求項16に記載の半導体発光素子の製造方法。

- [18] 前記第2DBR層上に、前記多層領域を覆う光反射膜を形成する工程を更に備える
請求項16または17に記載の半導体発光素子の製造方法。
- [19] 前記ガラス基板の裏面は、前記多層構造体から出射する光を受けるレンズ部を有
している、請求項11に記載の半導体発光素子の製造方法。
- [20] 前記レンズ部は、前記ガラス基板の裏面中の最も高い部分より窪んでいる、請求項
19に記載の半導体発光素子の製造方法。

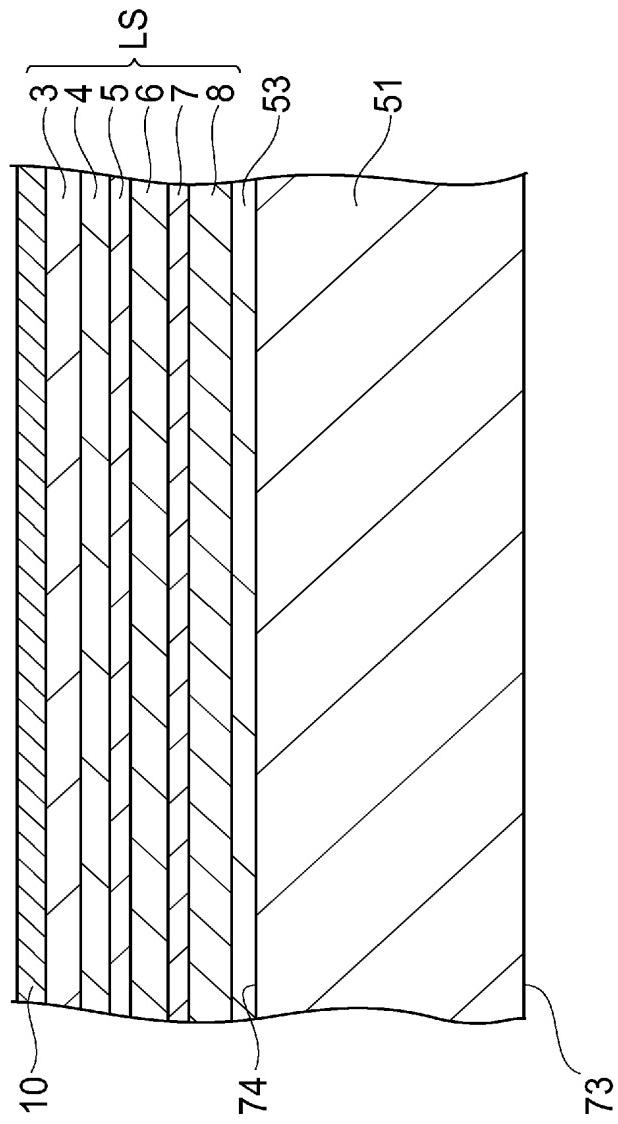
[図1]



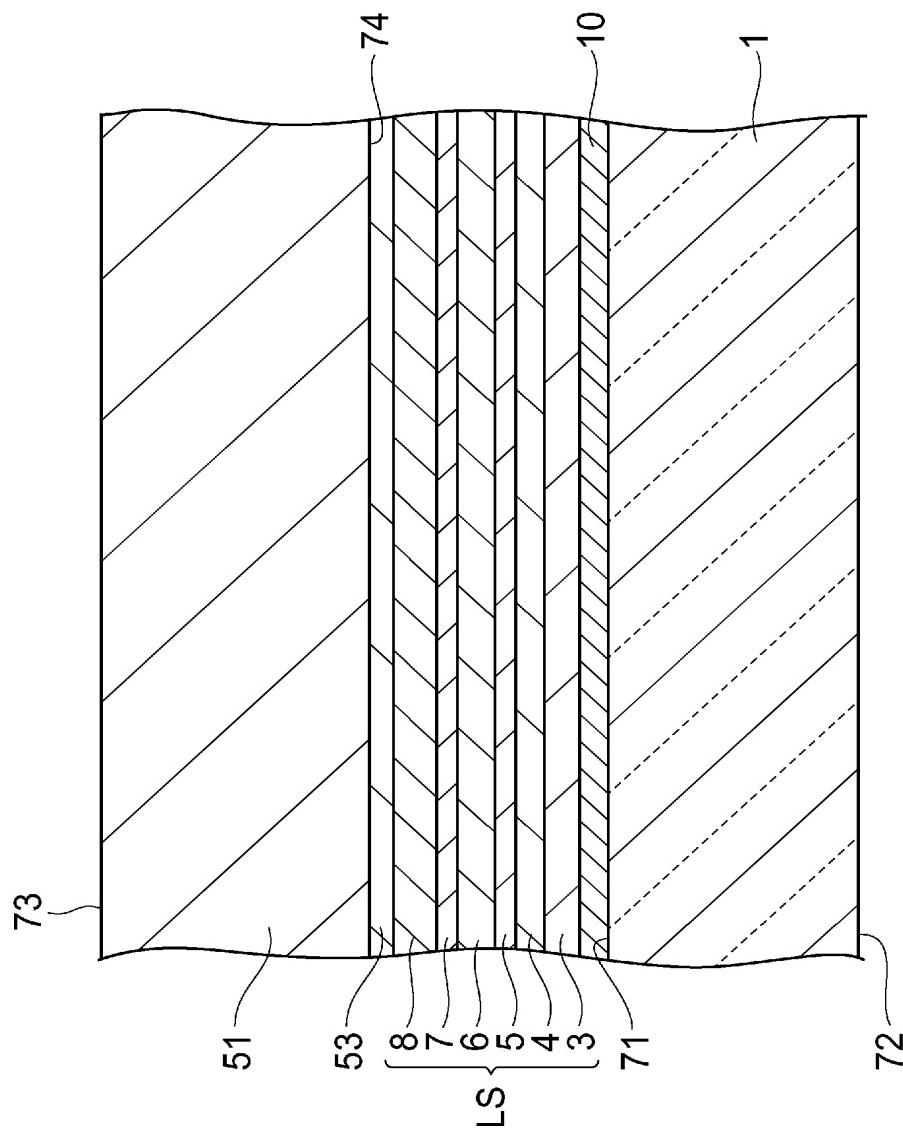
[図2]



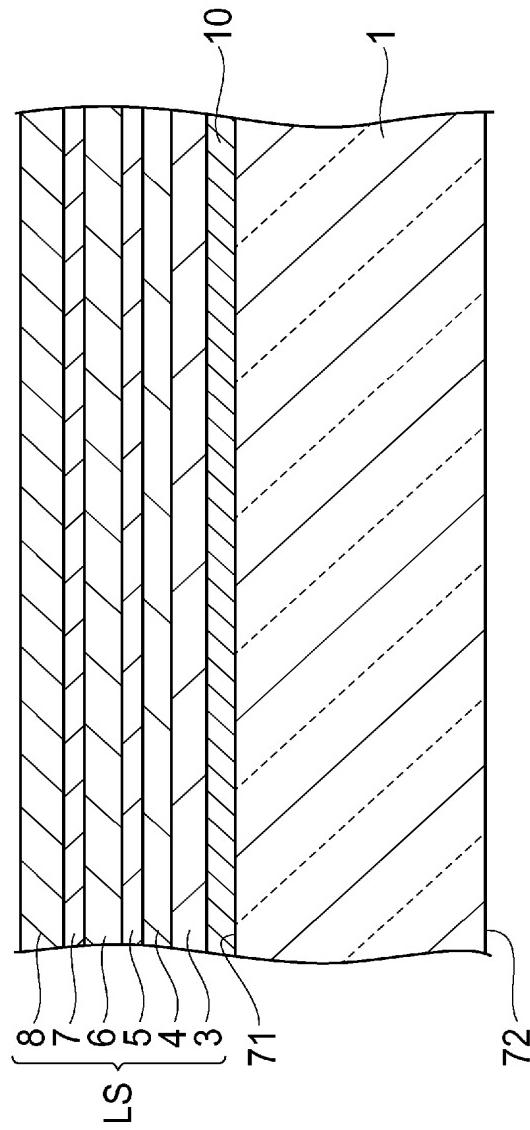
[図3]



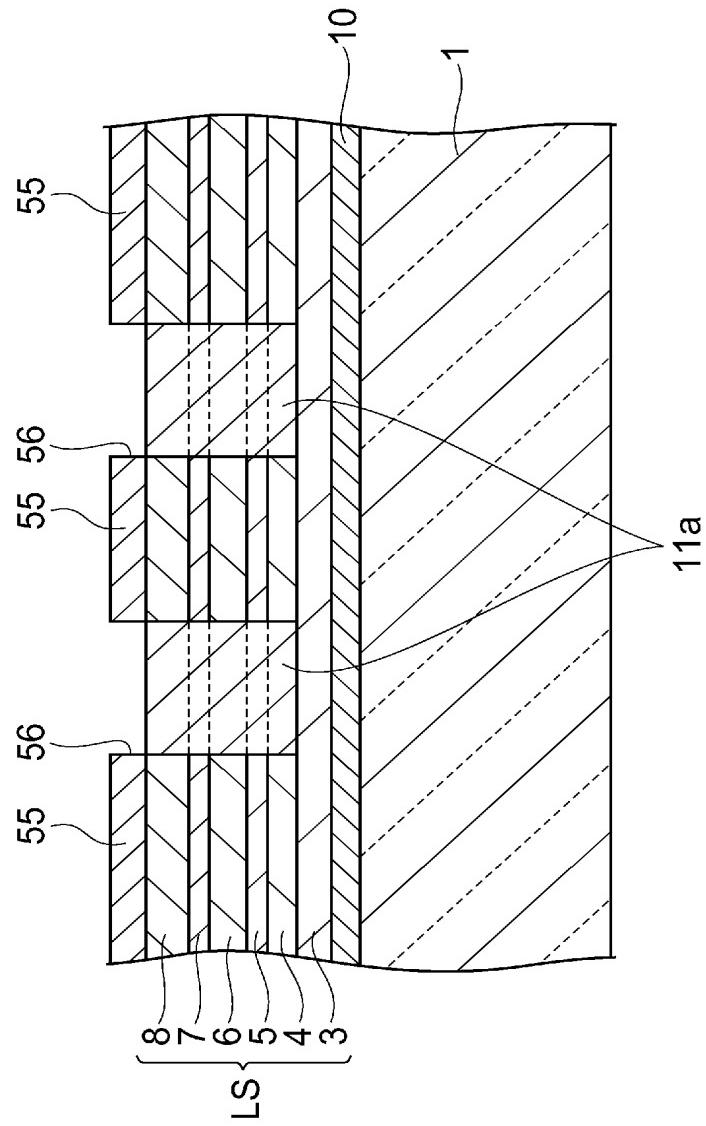
[図4]



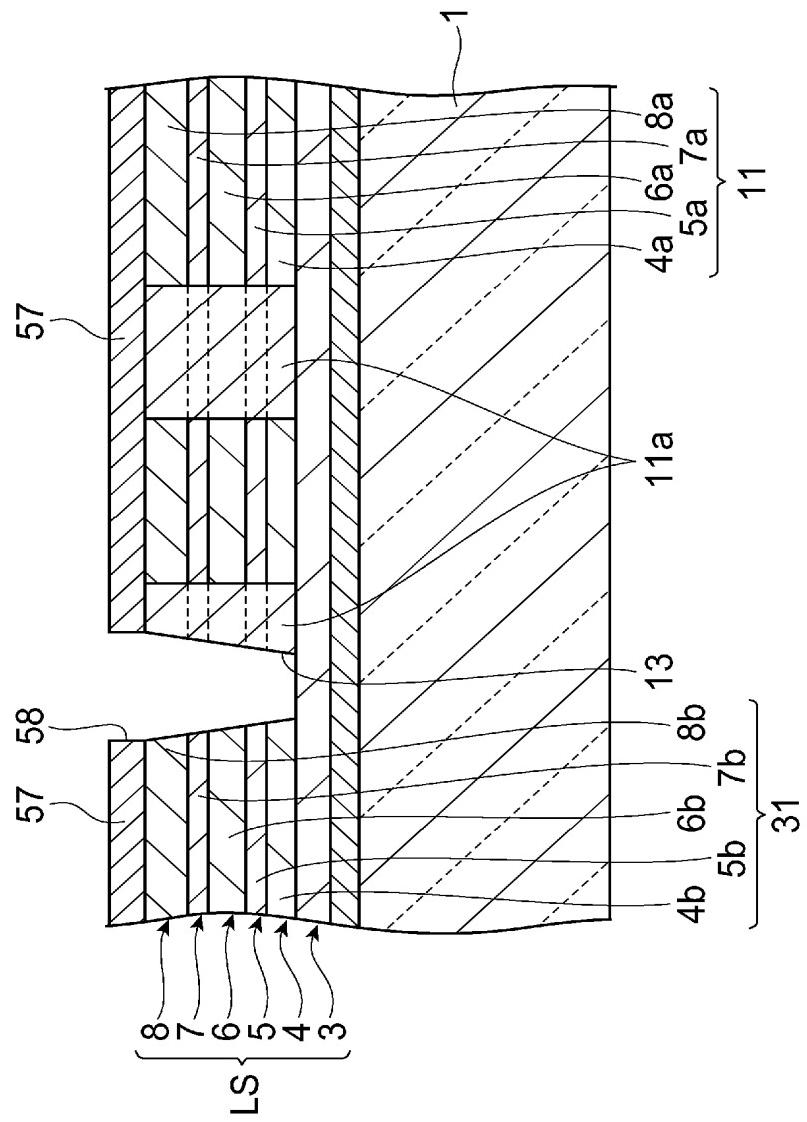
[図5]



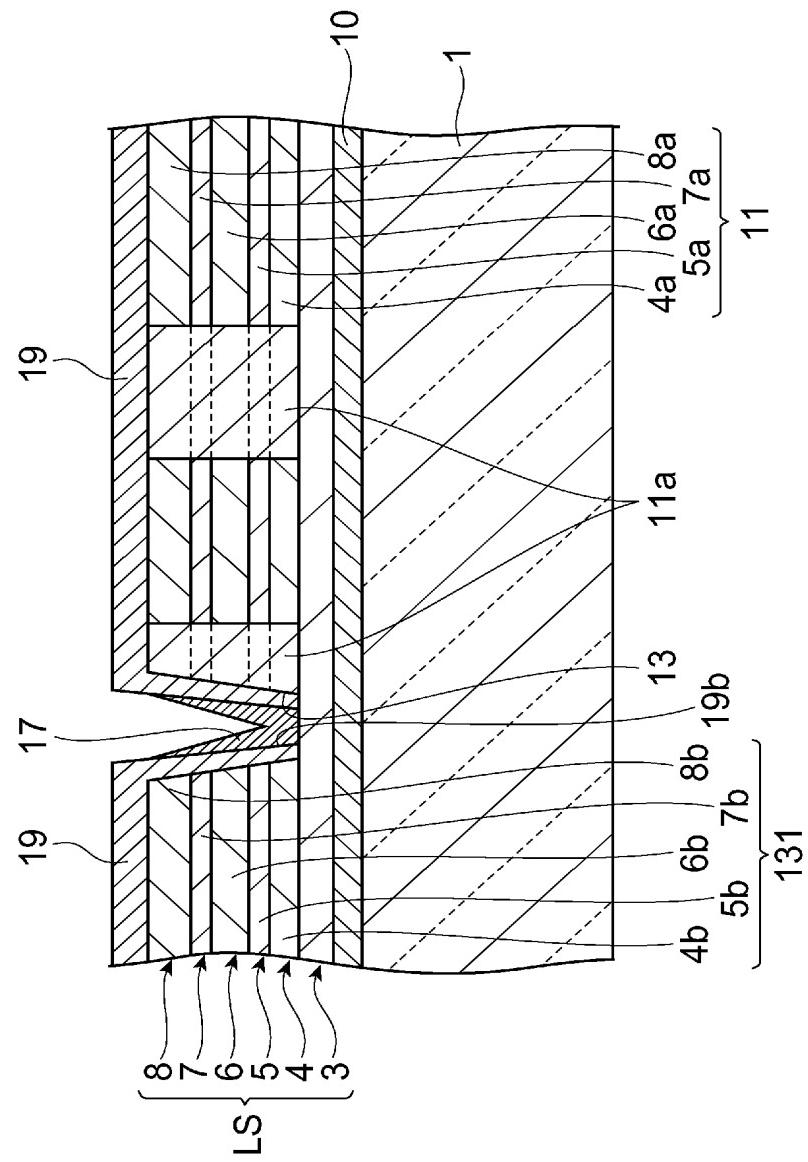
[図6]



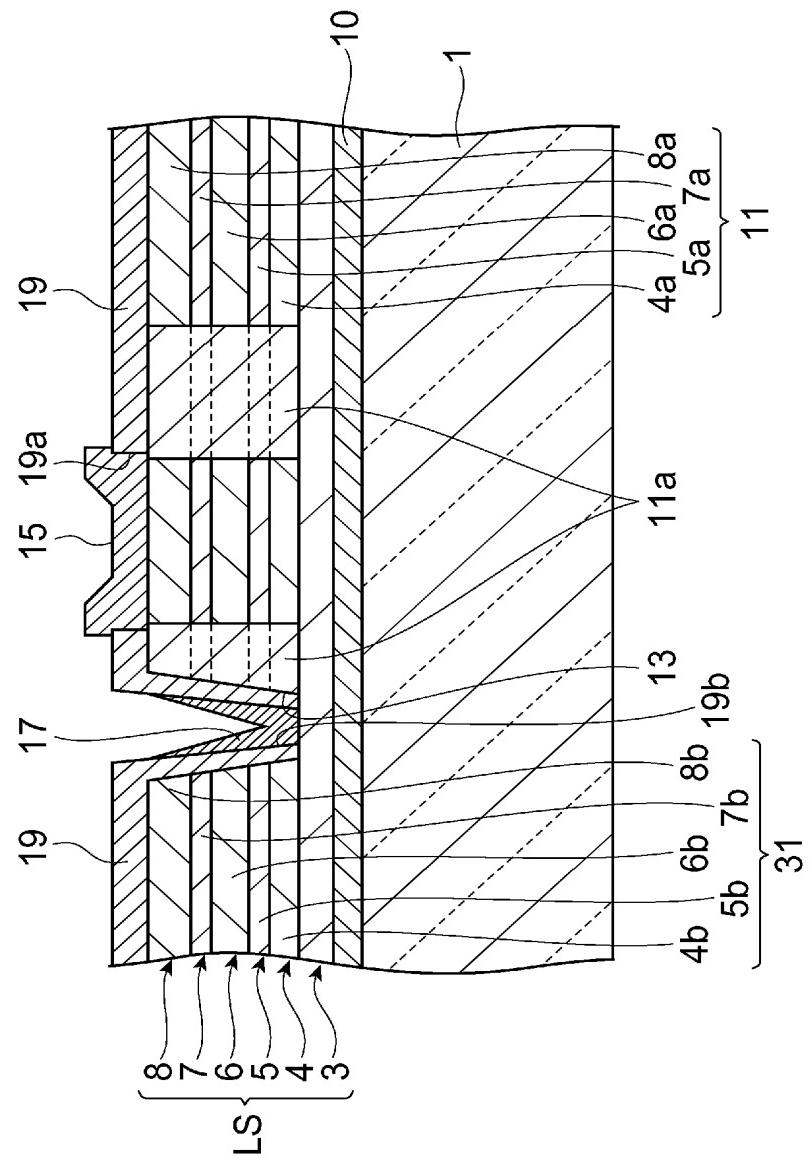
[図7]



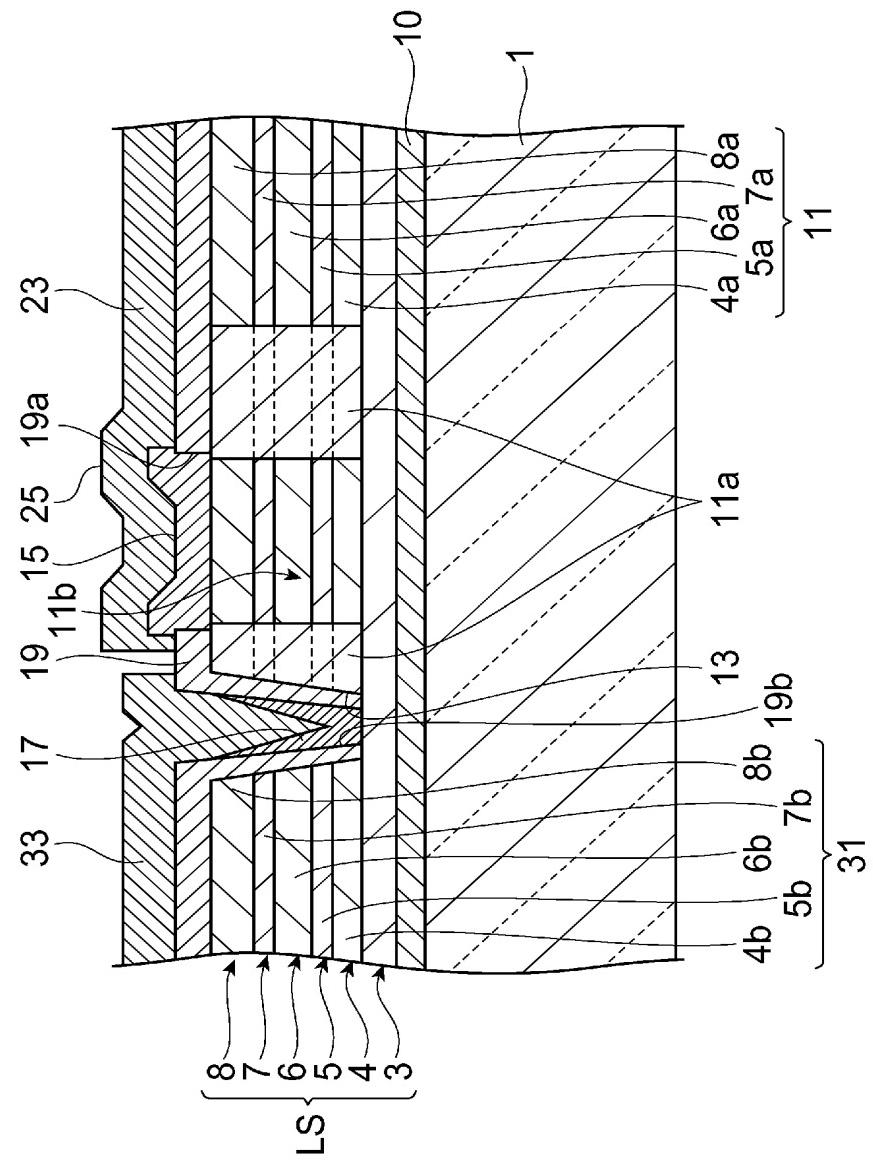
[図8]



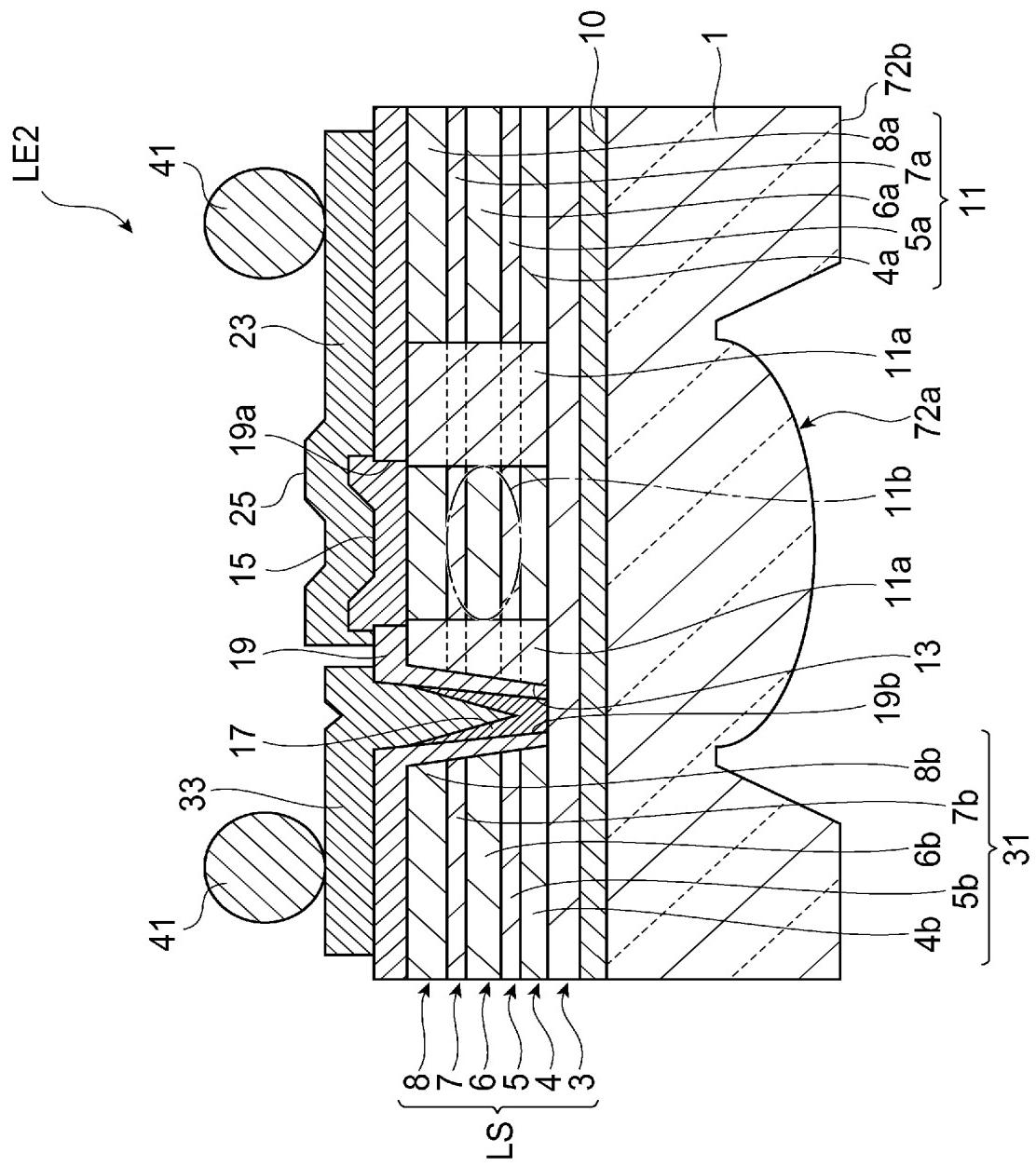
[図9]



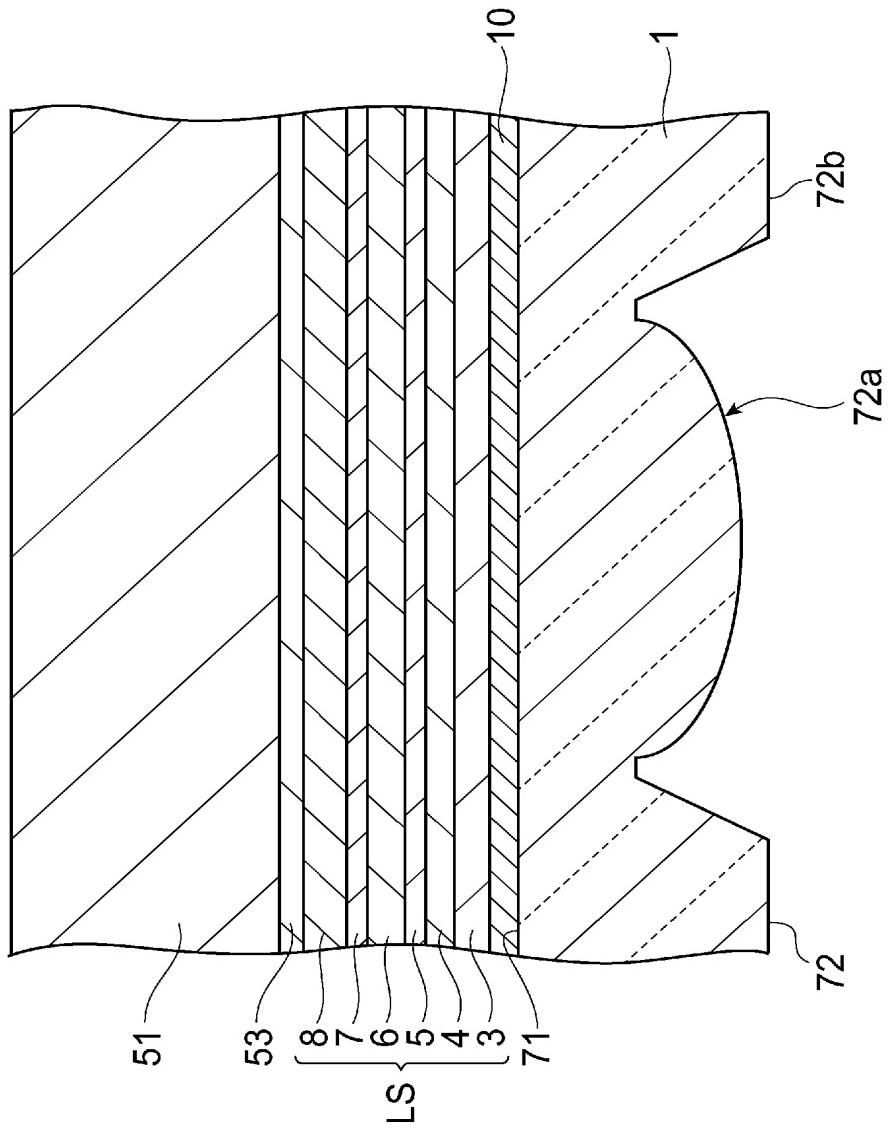
[図10]



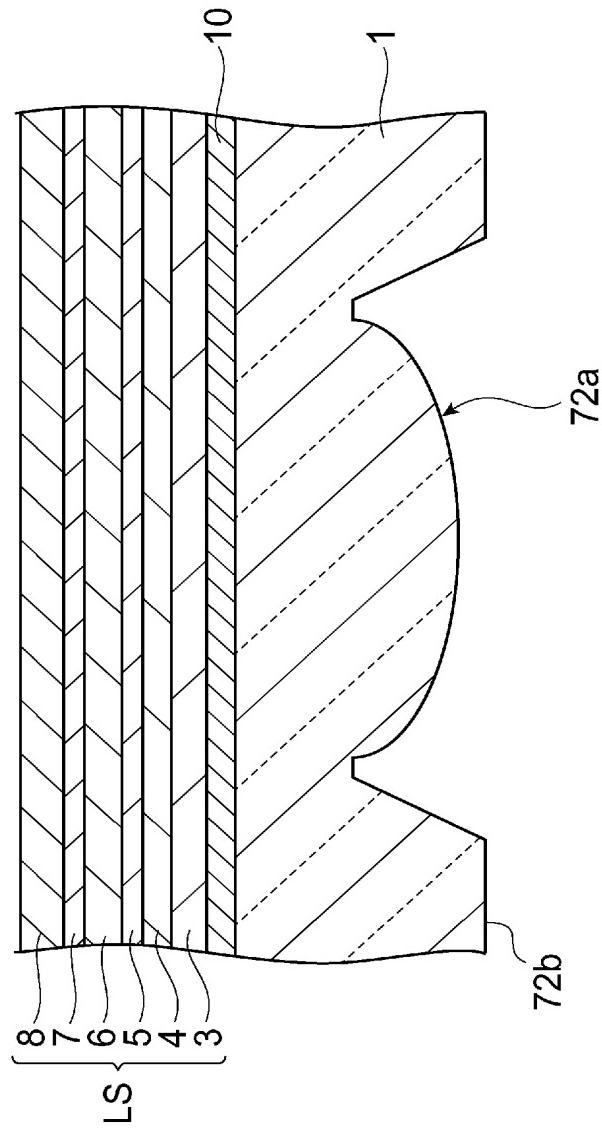
[図11]



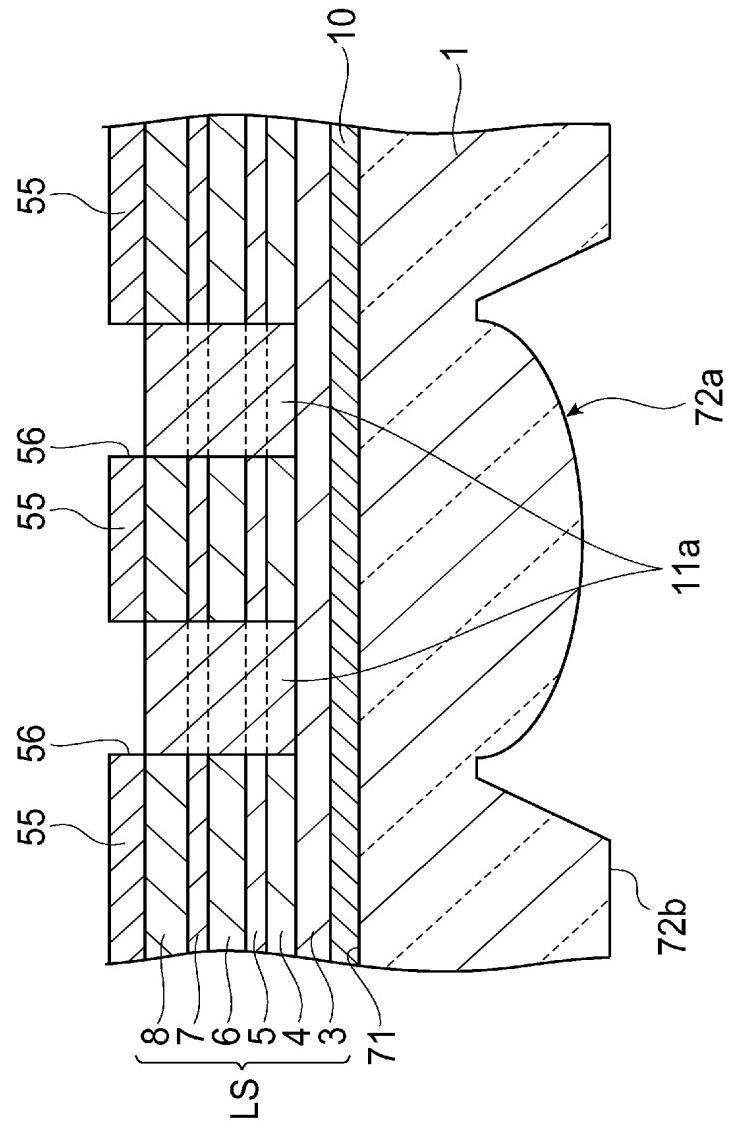
[図12]



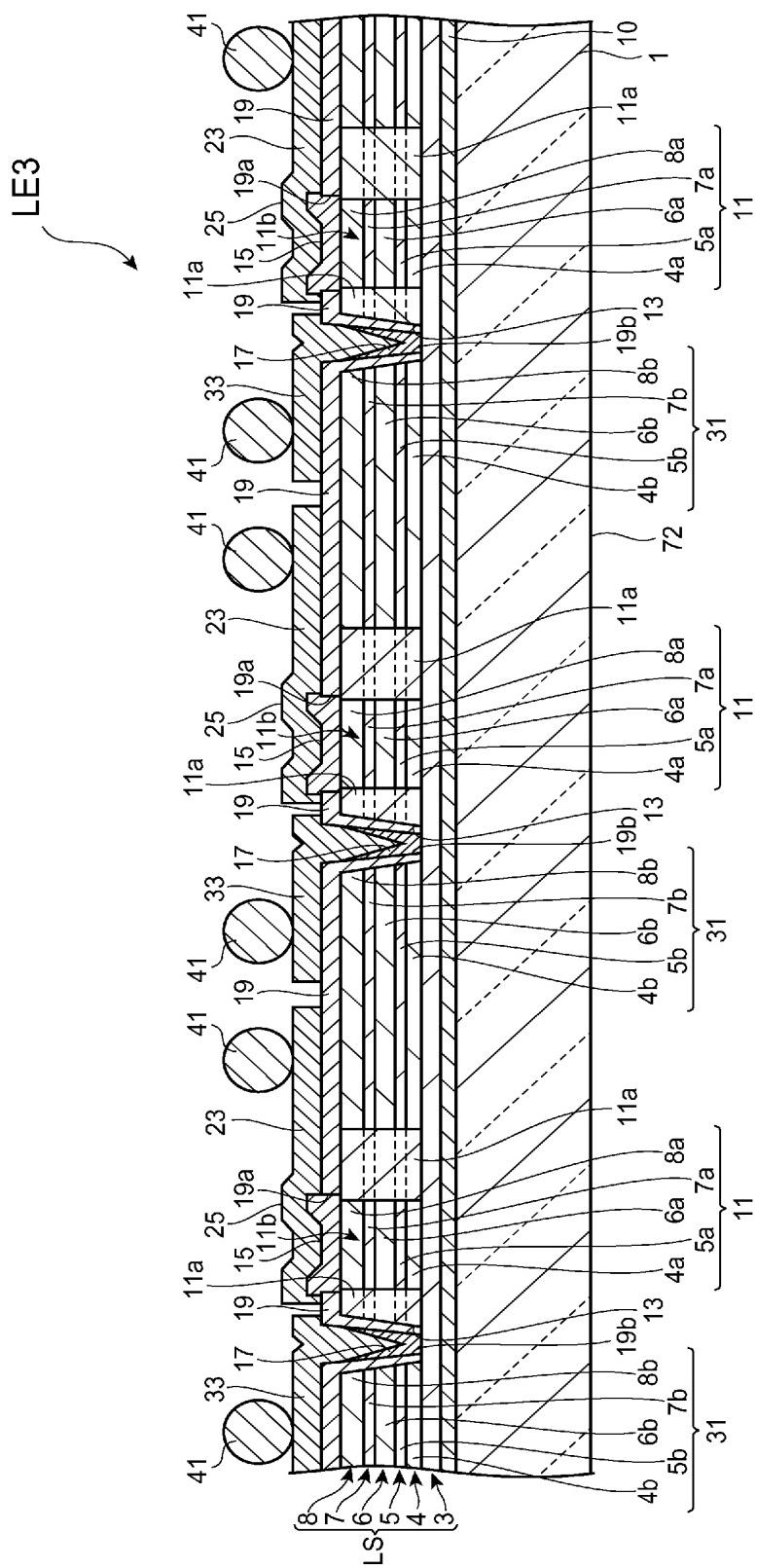
[図13]



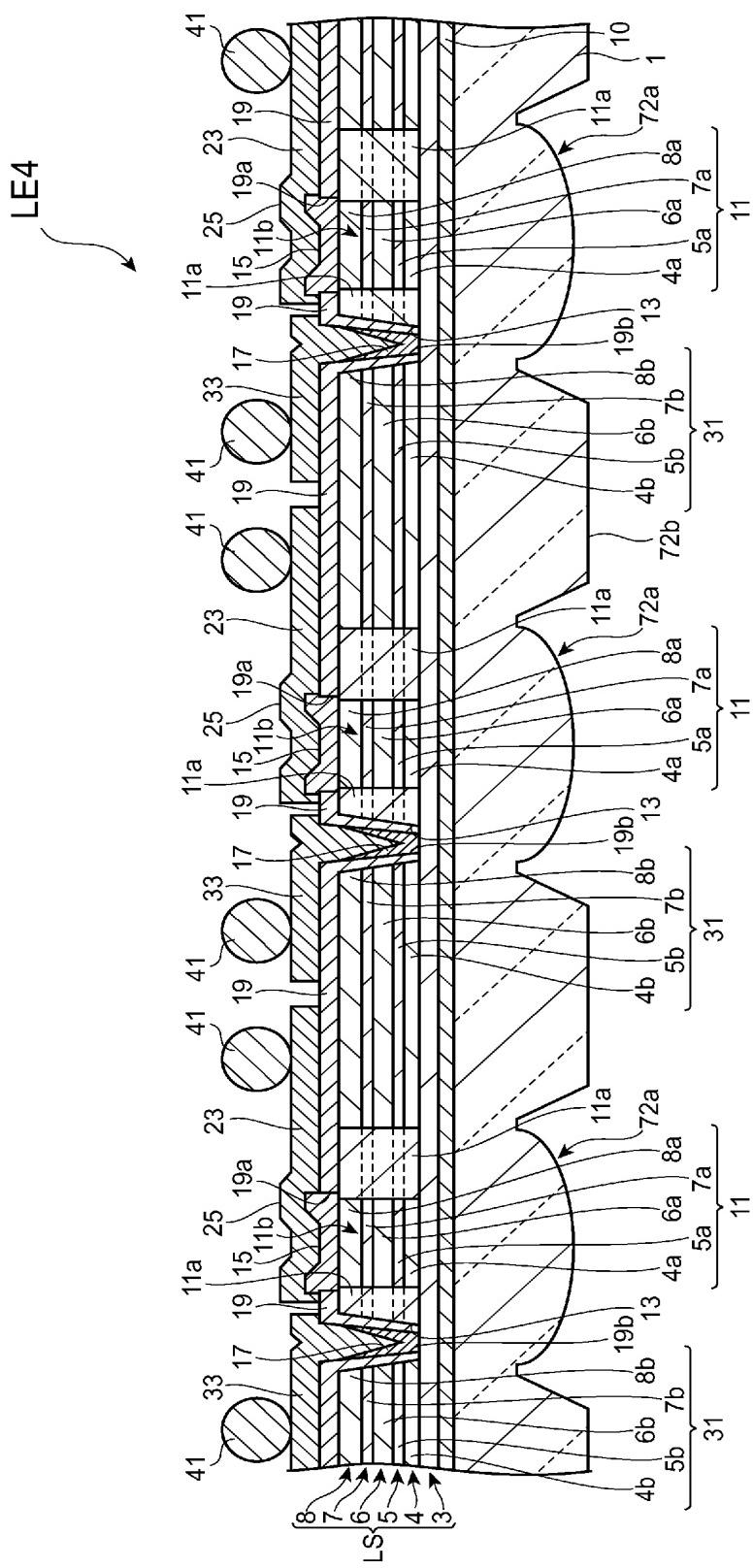
[図14]



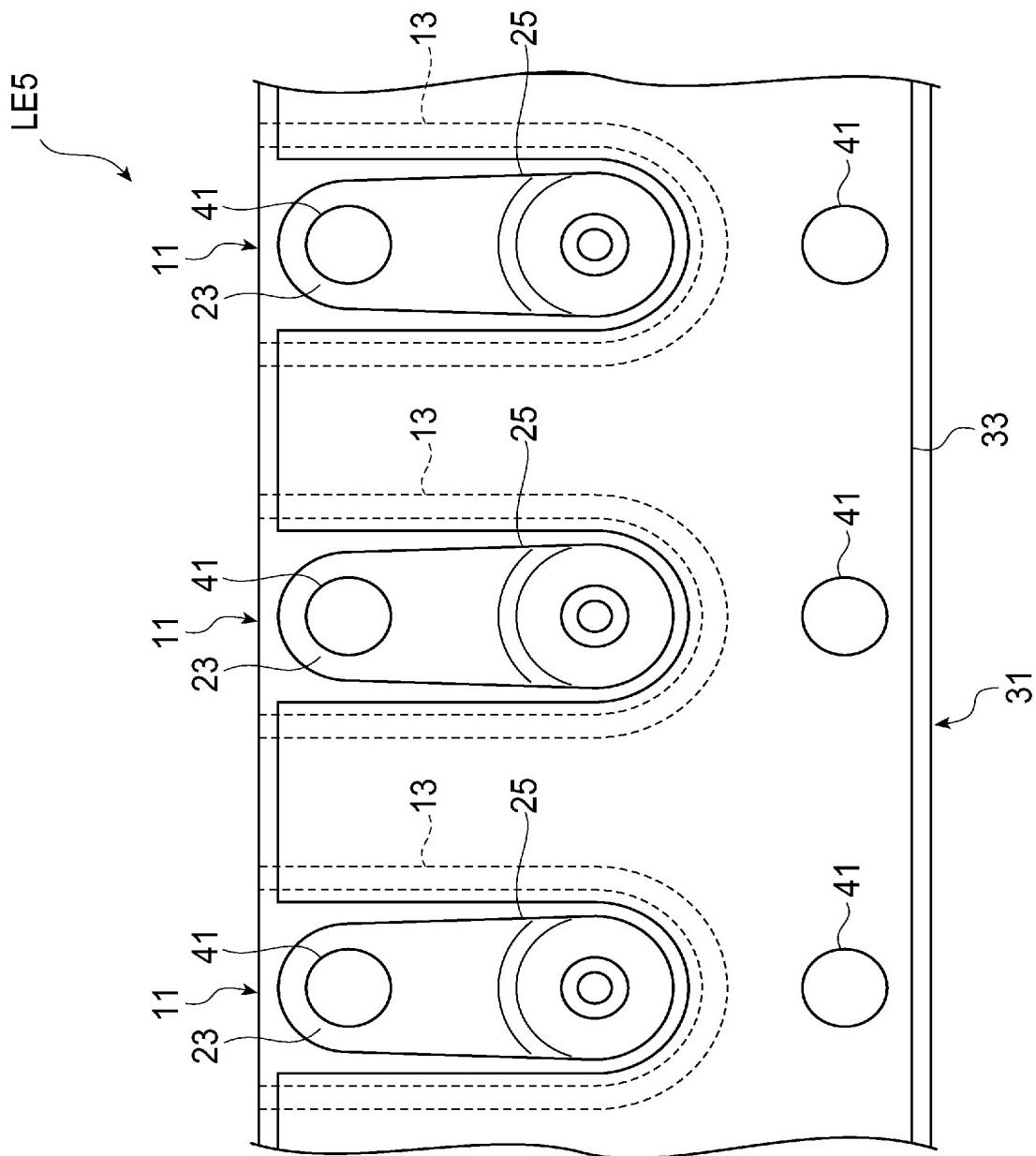
[図15]



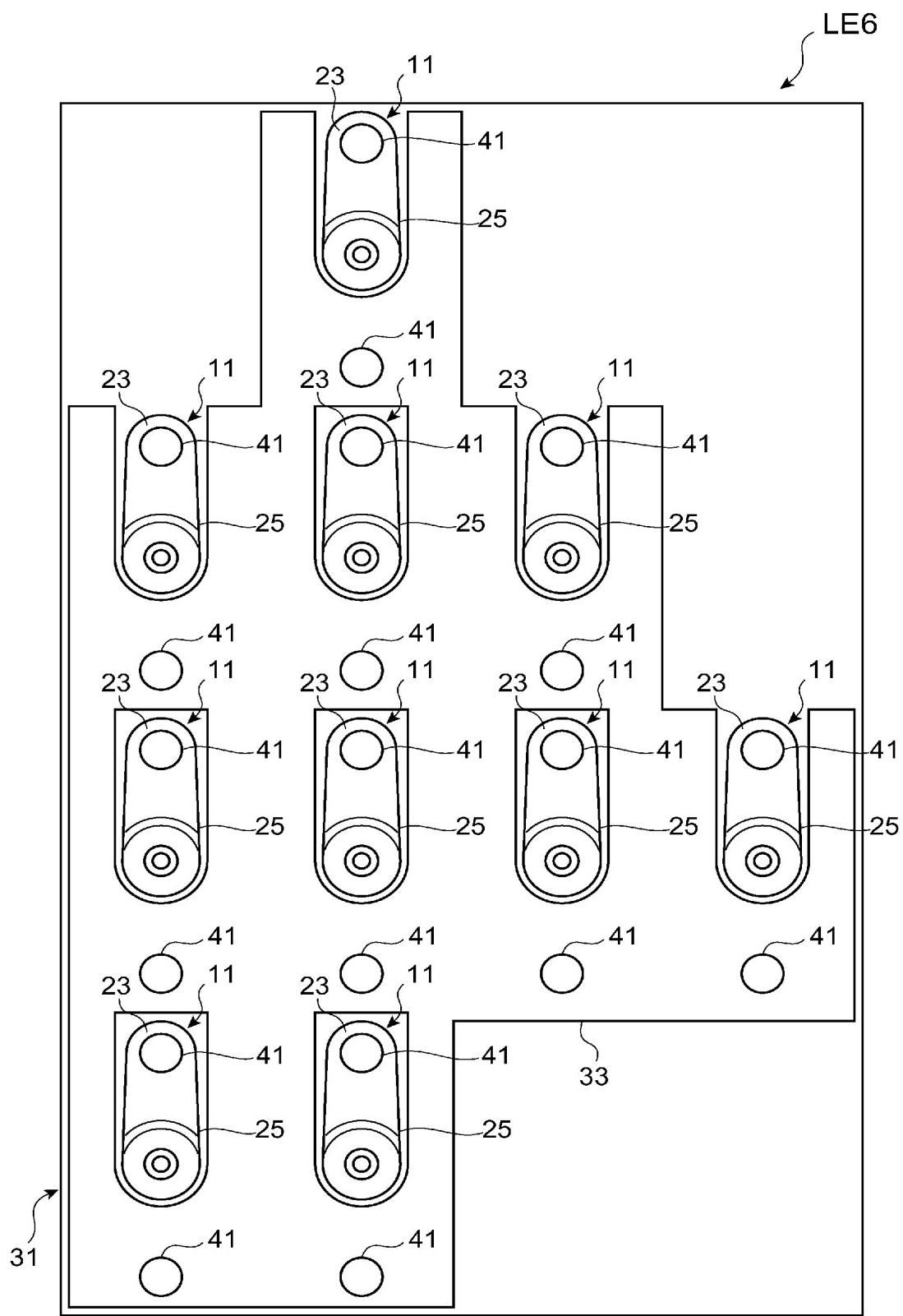
[図16]



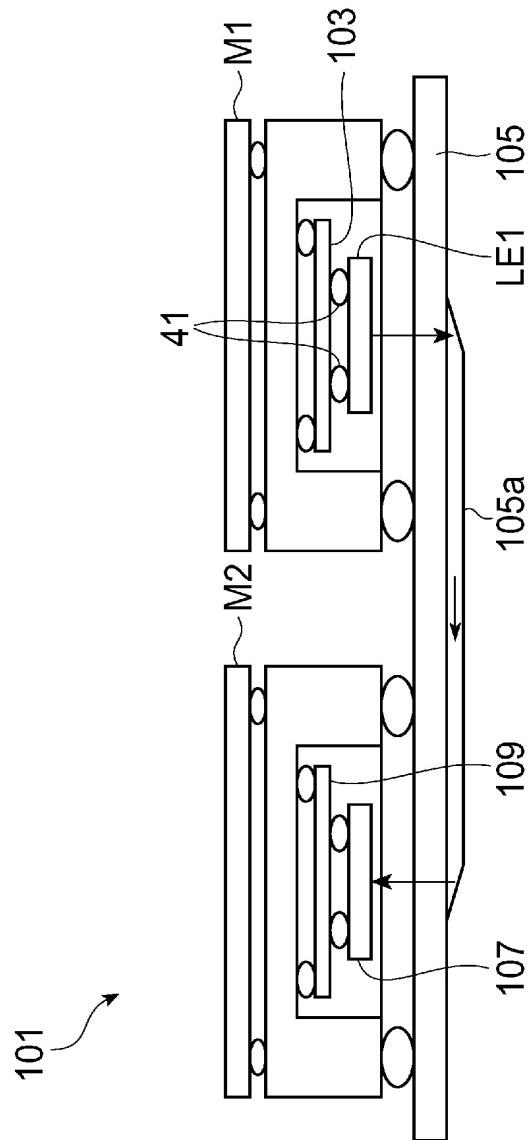
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019566

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01S5/183, H01S5/42, H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01S5/00-5/50, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-15873 A (United Epitaxy Co., Ltd.), 31 May, 2002 (31.05.02), Full text; all drawings & DE 10118447 A1 & TW 474034 B & US 2002/053872 A1	1,11-13
Y	JP 2002-368334 A (Seiko Epson Corp.), 20 December, 2002 (20.12.02), Full text; all drawings & CN 1377107 A & TW 536861 B & US 2002/137245 A1	2-6, 14-17
Y	JP 11-168262 A (Canon Inc.), 22 June, 1999 (22.06.99), Par. No. [0010]; Fig. 1 & EP 0905838 A1 & US 6222868 B1	7

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"E" earlier application or patent but published on or after the international filing date

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"O" document referring to an oral disclosure, use, exhibition or other means

"&" document member of the same patent family

"P" document published prior to the international filing date but later than the priority date claimed

Date of the actual completion of the international search
14 January, 2005 (14.01.05)

Date of mailing of the international search report
01 February, 2005 (01.02.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019566

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-326353 A (Motorola, Inc.), 25 November, 1994 (25.11.94), Par. No. [0019]; Fig. 6 & US 5358880 A	8,18
Y	JP 8-255933 A (Omron Corp.), 01 October, 1996 (01.10.96), Full text; all drawings (Family: none)	9,10,19,20
A	JP 11-154774 A (Canon Inc.), 08 June, 1999 (08.06.99), Full text; all drawings & EP 0896405 A2 & US 6261859 B1	1-7,11-17
A	JP 8-111559 A (Hitachi, Ltd.), 30 April, 1996 (30.04.96), Full text; all drawings (Family: none)	2-5,7,14-17
A	JP 2002-353564 A (Seiko Epson Corp.), 06 December, 2002 (06.12.02), Full text; all drawings & CN 1388615 A & EP 1263098 A2 & US 2002/176468 A1	2,7,9,10,14, 19,20
A	JP 2002-280614 A (Citizen Electronics Co., Ltd.), 27 September, 2002 (27.09.02), Full text; all drawings (Family: none)	1,11
A	JP 2002-185071 A (Samsung Electronics Co., Ltd.), 28 June, 2002 (28.06.02), Full text; all drawings & EP 1207599 A2 & KR 2002031002 A & US 2002/093024 A1	9,10,19,20

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019566

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to the inventions of claims 1-8, 9-10, 11-13, 14-18, 19-20 is that "a glass substrate optically transparent to light is fixed to a light-emitting surface through a silicon oxide film". However, the international search has revealed that this technical feature that "a glass substrate optically transparent to light is fixed to a light-emitting surface through a silicon oxide film" is not novel since it is disclosed in document JP 2002-158373 A (United Epitaxy Co., Ltd.), 31 May, 2002 (31.05.02) full text and all drawings.

Consequently, the technical feature that "a glass substrate optically transparent to light is fixed to a light-emitting surface through a silicon oxide film" is not novel since it is disclosed in document JP 2002-158373 A (United Epitaxy Co., Ltd.), 31 May, 2002 (31.05.02) full text and all drawings.

- (Continued to extra sheet.)
1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
 2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- | | |
|--------------------------|---|
| <input type="checkbox"/> | The additional search fees were accompanied by the applicant's protest. |
| <input type="checkbox"/> | No protest accompanied the payment of additional search fees. |

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019566

Continuation of Box No.III of continuation of first sheet(2)

transparent to light is fixed to a light-emitting surface through a silicon oxide film" makes no contribution over the prior art, and therefore cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence. Therefore, since there exists no technical feature common to all the inventions of claims 1-8, 9-10, 11-13, 14-18, 19-20, no technical relationship within the meaning of PCT Rule 13 between the difference inventions can be seen. Consequently, the inventions of claims 1-8, 9-10, 11-13, 14-18, 19-20 do not comply with the requirement of unity of invention.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1⁷ H01S5/183
H01S5/42
H01L33/00

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C1⁷ H01S5/00-5/50
H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年
日本国実用新案登録公報	1996-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-15873 A (國聯光電科技股份▲ふん▼有限公司) 2002.05.31, 全文, 全図 & DE 10118447 A1 & TW 474034 B & US 2002/053872 A1	1, 11-13
Y	JP 2002-368334 A (セイコーエプソン株式会社) 2002.12.20, 全文, 全図 & CN 1377107 A & TW 536861 B & US 2002/137245 A1	2-6, 14-17

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.01.2005

国際調査報告の発送日

01.2.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

道祖土 新吾

2K 3498

電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-168262 A (キヤノン株式会社) 1999. 06. 22, 段落【0010】 , 図1 & EP 0905838 A1 & US 6222868 B1	7
Y	JP 6-326353 A (モトローラ・インコーポレイテッド) 1994. 11. 25, 段落【0019】 , 図6 & US 5358880 A	8, 18
Y	JP 8-255933 A (オムロン株式会社) 1996. 10. 01, 全文, 全図 (ファミリーなし)	9, 10, 19, 20
A	JP 11-154774 A (キヤノン株式会社) 1999. 06. 08, 全文, 全図 & EP 0896405 A2 & US 6261859 B1	1-7, 11-17
A	JP 8-111559 A (株式会社日立製作所) 1996. 04. 30, 全文, 全図 (ファミリーなし)	2-5, 7, 14-17
A	JP 2002-353564 A (セイコーエプソン株式会社) 2002. 12. 06, 全文, 全図 & CN 1388615 A & EP 1263098 A2 & US 2002/176468 A1	2, 7, 9, 10, 14, 19, 20
A	JP 2002-280614 A (株式会社シチズン電子) 2002. 09. 27, 全文, 全図 (ファミリーなし)	1, 11
A	JP 2002-185071 A (三星電子株式会社) 2002. 06. 28, 全文, 全図 & EP 1207599 A2 & KR 2002031002 A & US 2002/093024 A1	9, 10, 19, 20

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-8, 9-10, 11-13, 14-18, 19-20に係る発明の共通の事項は、「光に対して光学的に透明なガラス基板が、酸化シリコンからなる膜を介して光出射面に固定されている」である。しかしながら、調査の結果「光に対して光学的に透明なガラス基板が、酸化シリコンからなる膜を介して光出射面に固定されている」は、文献JP 2002-158373 A (國聯光電科技股份▲ふん▼有限公司) 2002.05.31, 全文、全図に開示されているから、新規でないことが明らかとなった。

結果として「光に対して光学的に透明なガラス基板が、酸化シリコンからなる膜を介して光出射面に固定されている」は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。それ故、請求項1-8, 9-10, 11-13, 14-18, 19-20に係る発明全てに共通の事項は無く、それらの相違する発明の間にPCT規則13の意味における技術的な関連を見いだすことはできない。よって、請求の範囲1-8, 9-10, 11-13, 14-18, 19-20に係る発明は発明の単一性の要件を満たしていないことが明らかである。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあつた。
- 追加調査手数料の納付と共に出願人から異議申立てがなかつた。